

JP 1975-127647

23.10.1975

(11) Publication number	52-051816	(21)Application number	50-127647
(43) Date of publication of application	6.04.1977	(22)Date of filing	23.10.1975
(51) Int.Cl.	H04N 5/30	(71)Applicant	SONY CORP
(54)SOLID PICKUP EQUIPMENT	H01L 31/00	(72)Inventor	HAGIWARA YOSHIAKI
(57)Abstract			

PURPOSE: The transfer region of conductive type of 1 is formed on one main surface, and light receiving region consisting of another conductive region reaching the transfer region and conductive region of 1 reaching the previous conductive region is formed on the other main surface. In this way, both area reduction and clock frequency lowering can be ensured

特許請求範囲

CTD = 電荷転送装置 (Charge Transfer Device) は、
CCDとは限らない、CMOS Image Sensor でもよい。

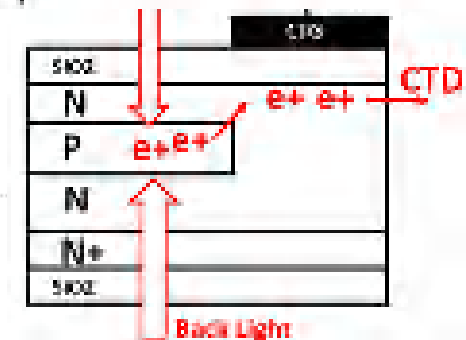
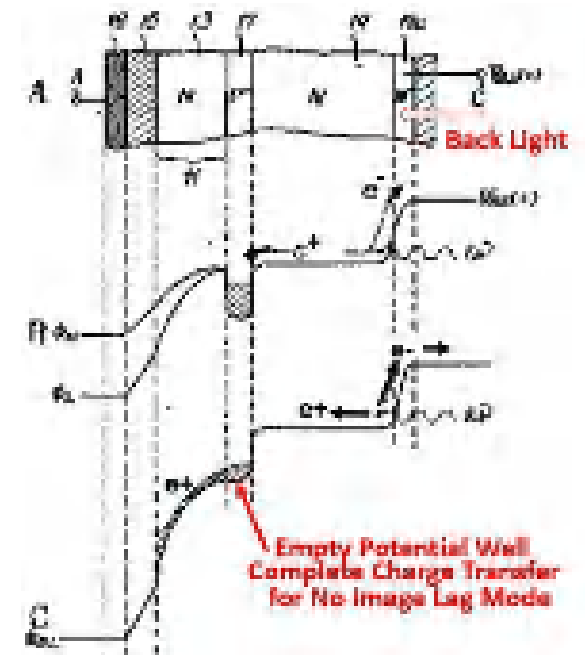
半導体基体の一方の主面側に、絶縁膜を介して電荷転送用電極が被着配列される1の導電型の転送領域が形成され、之より上記半導体基体の他方の主面側に上記転送領域に接する他の導電型の領域と該領域に接する1の導電型の領域とより成る受光領域が形成され、上記転送用電極に所要の電圧を印加することにより、上記受光領域に蓄積した電荷を上記転送領域に転送し、上記電荷転送用電極に上記所要の電圧とは異なるクロック電圧を印加して上記基体の上記一方の主面に沿って電荷の転送を行うようにしたことを特徴とする固体撮像装置。

https://www4.j-platpat.inpit.go.jp/eng/tokujitsu/tkbs_en/TKBS_EN_GM101_Top.action

JP 1975-127647

23.10.1975

(11)Publication number : 52-051816
(43)Date of publication of application : 26.04.1977
(51)Int.Cl. : H04N 5/30
H01L 31/00
(21)Application number : 50-127647
(22)Date of filing : 23.10.1975
(71)Applicant : SONY CORP
(72)Inventor : HAGIWARA YOSHIKI



(54)SOLID PICKUP EQUIPMENT

(57)Abstract

PURPOSE: The transfer region of conductive type of 1 is formed on one main surface, and light receiving region consisting of another conductive region reaching the transfer region and conductive region of 1 reaching the previous conductive region is formed on the other main surface. In this way, both area reduction and clock frequency lowering can be ensured.

Sony Hagiwara Patent on the NPN junction/substrate type Pinned Photodiode with a built-in Global Shutter Operation and Back Light Illumination scheme.

See Japanese Patent 1975-127647 (Oct 23, 1975) by Hagiwara Yoshiaki at Sony in 1975.

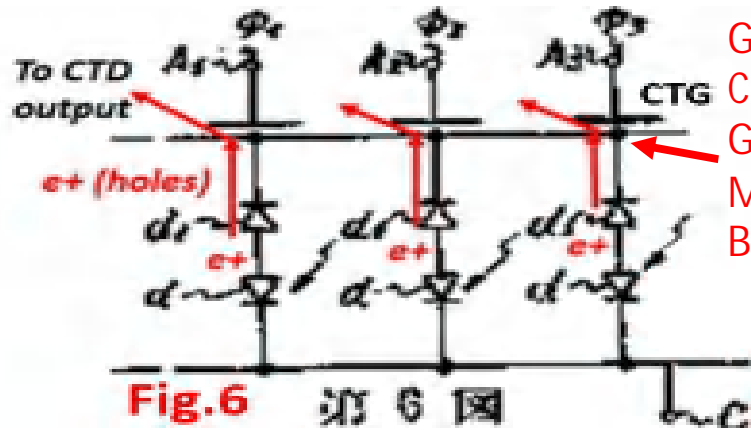
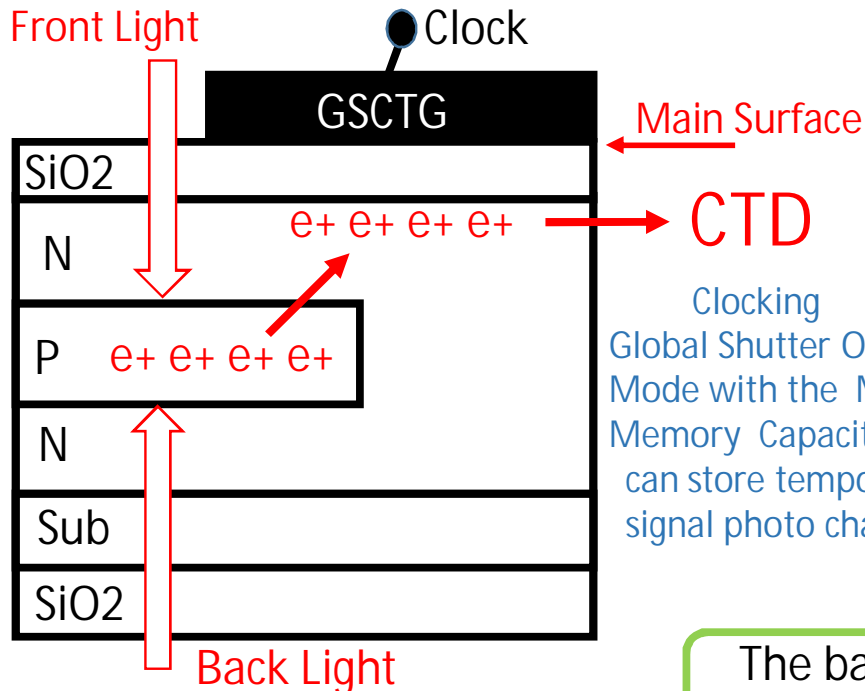


Fig. 6

Global Shutter Charge Transfer Gate working as MOS Capacitor Buffer Memory

Clocking for Charge Transfer Operation Mode to the adjacent CTD



See JP 1975-127647

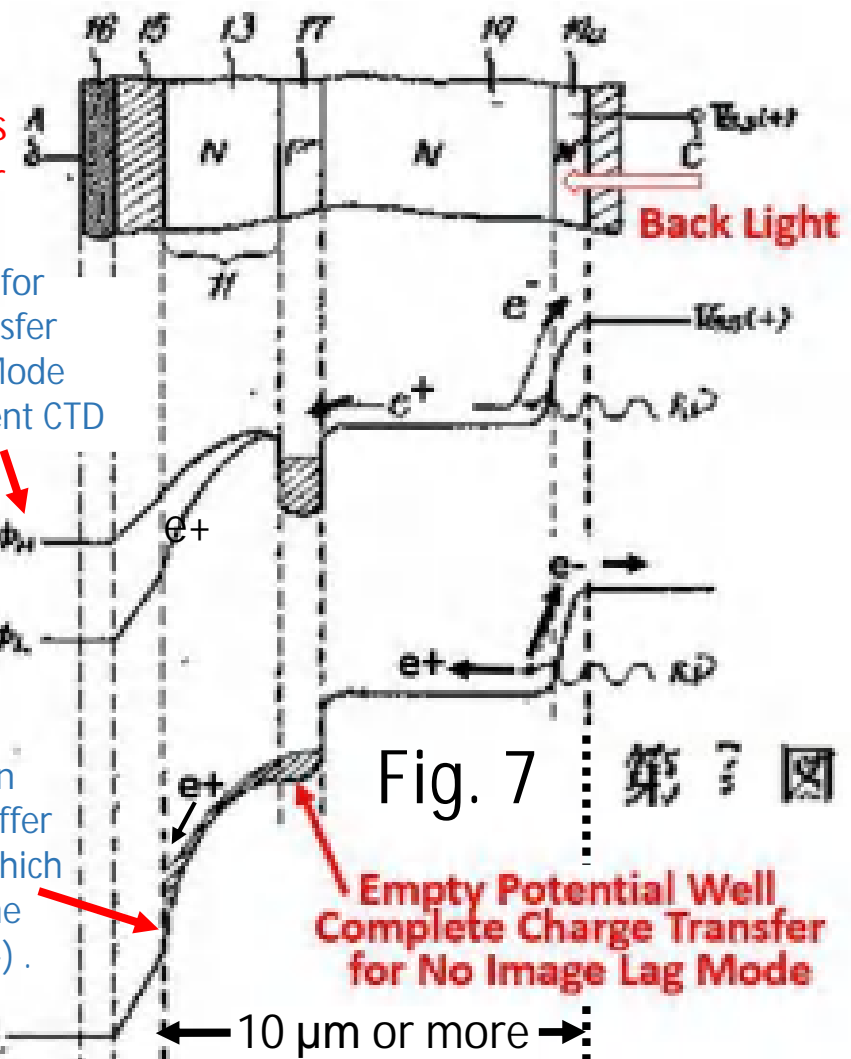
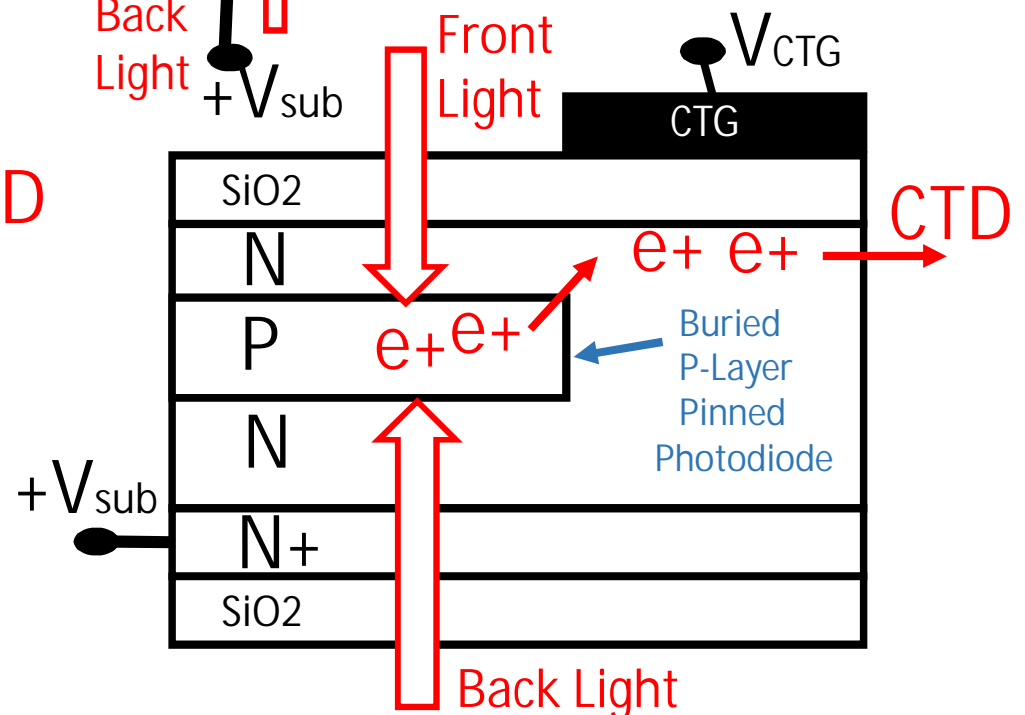
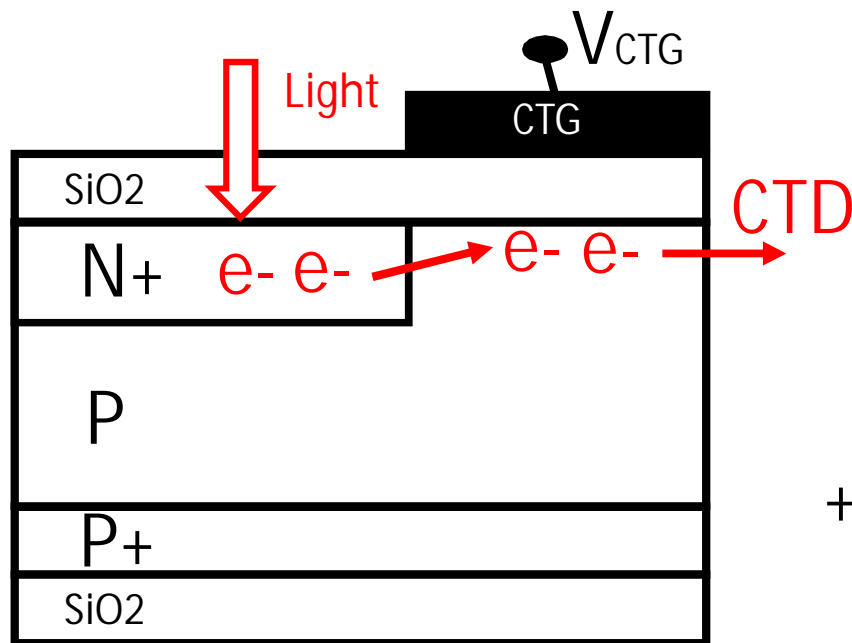
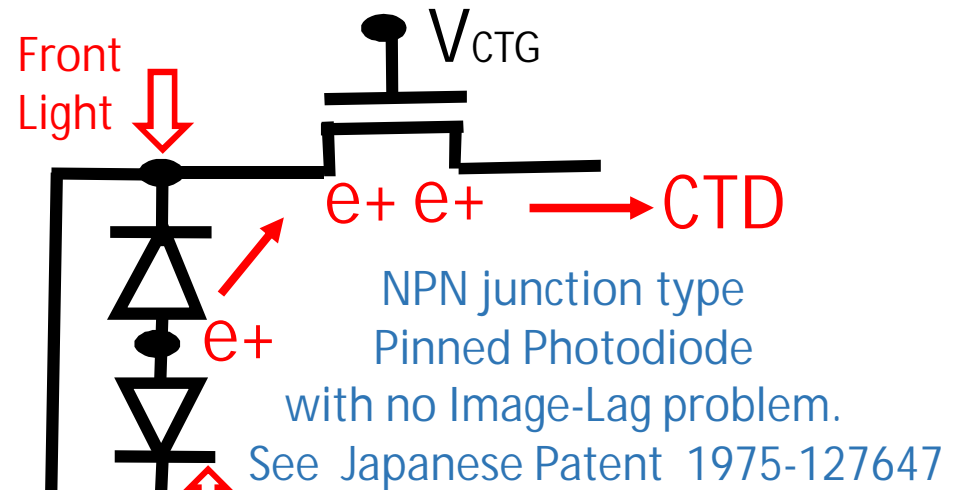
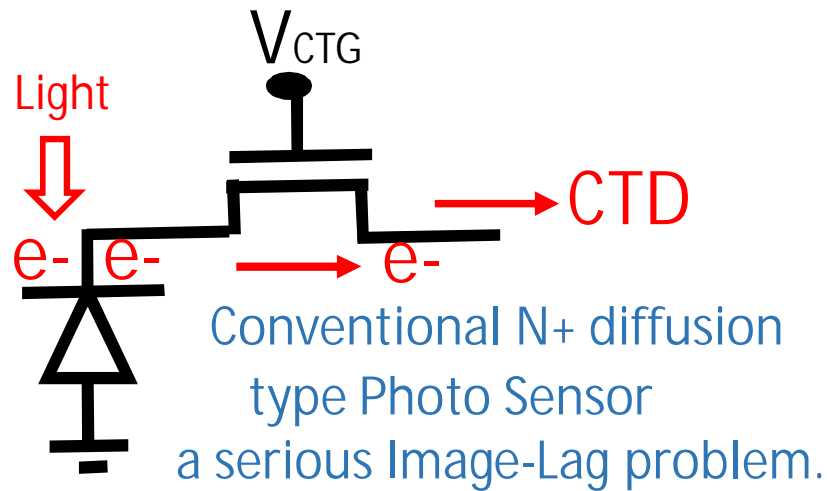


Fig. 7

Empty Potential Well Complete Charge Transfer for No Image Lag Mode

The back light can be blocked from reaching the front silicon wafer surface for Global Shutter Operation Mode.

What is Pinned Photodiode ?



See JP 1975-127647

Sony Hagiwara Patent on the NPN junction/substrate type Pinned Photodiode with a built-in Global Shutter Operation and Back Light Illumination scheme.
 Japanese Patent 1975-127647 (Oct 23, 1975) by Hagiwara Yoshiaki at Sony in 1975.



特許願 (6)

昭和 50 年 10 月 29 日

特許庁長官 齋藤英雄 殿

1. 発明の名称 コキケンフクツカク
 固体撮像装置

2. 発明者
 住所 コホマ 神奈川県横浜市保土ヶ谷区狩場町 303-159
 氏名 ハギワラ ヨシキ 萩原 良昭 ケリバヤシ 狩場台アパート 402 号室

3. 特許出願人

ソニー株式会社
 東京都品川区北品川 6-3-17 番 35 号
 (213) ソニー株式会社
 代表者 ハギワラ ヨシキ 盛山 昭夫

4. 代理人 豊 160

住所 東京都新宿区西新宿 1 丁目 8 番 1 号 (新宿ビル)
 〒 東京都 (03) 343-5821 (代表)
 氏名 (3368) 弁護士 伊 藤

5. 添付書類の目録

- (1) 明 細 書 1 通
- (2) 図 面 1 通
- (3) 願 書 写 本 1 通
- (4) 発 明 状 1 通

50 127647

① 日本国特許庁

公開特許公報

① 特開昭 52 - 51816
 ④ 公開日 昭 52. (1977) 4.26
 ② 特願昭 50-127647
 ② 出願日 昭 50. (1975) 10.23
 審査請求 未請求 (全 6 頁)

庁内整理番号

6940 59
 6655 57

⑤ 日本分類

976D1
 9915J42

⑥ Int. Cl²

H04N 5/30
 H01L 31/00

識別
 記号

See JP 1975-127647

明 細 書

発明の名称 固体撮像装置

特許請求の範囲

半導体基体の一方の主面側に、絶縁膜を介して電荷転送用電極が被着配列される1の導電型の転送領域が形成され、之より上記半導体基体の他方の主面側に上記転送領域に接する他の導電型の領域と被領域に接する1の導電型の領域とより成る受光領域が形成され、上記転送用電極に所要の電圧を印加することにより、上記受光領域に蓄積した電荷を上記転送領域に転送し、上記電荷転送用電極に上記所要の電圧とは異なるクロック電圧を印加して上記基体の上記一方の主面に沿つて電荷の転送を行うようにしたことを特徴とする固体撮像装置。

発明の詳細な説明

本発明は、電荷転送素子CCDを用いた固体撮像装置に係わる。

CCDを用いた固体撮像装置としては、フレームトランスファ方式によるもの、或いはインター

ライントランスファ方式によるものが提案されている。

フレームトランスファ方式による固体撮像装置は、第1図に示す如く、撮像部(2)と、蓄積部(3)と、水平シフトレジスタ(4)とから成る。撮像部(2)は夫々転送電極を有する転送部が例えば垂直方向に配列され、1つ縦ま又は2つ横まの転送電極を組として2相又は3相の転送クロック電圧が印加されて、各電極間又は各電極を通じて受光した光量に応じて各部に生じた電荷を例えば垂直方向に隣合う転送部へとシフトして行くようにしたCCD(1)が縦列配列されて成る。又、蓄積部(3)は、受光はなされないようにするが、撮像部(2)を構成するCCD(1)に対応するCCD(1)が設けられて成る。そして、撮像部(2)の各部に生じた撮像光学像に応じた電荷パターンを、例えばテレビジョン映像に於いては、その場消去期間で、順次垂直方向にシフトさせて蓄積部(3)へと転送させ、この蓄積部(3)に一旦電荷パターンを蓄積し、その後、シフトレジスタ(4)に蓄積部(3)の各行の電荷を順次転送即

ちシフトし、シフトレジスタ(4)の出力端子よりこの電荷による撮像信号を取り出すものである。

ところが、この方式による撮像装置では、掃線消去期間という極めて短い時間で撮像部(2)の各行の電荷をシフトさせて蓄積部(3)へと転送させるものであるから、この撮像部(2)から蓄積部(3)への転送クロックの周波数は8MHzという高い周波数となつてしまふ。したがつて、そのノイズは大となり、回路構成が複雑になるという欠点がある。又、上述の撮像部(2)、蓄積部(3)、水平シフトレジスタ(4)は共通の半導体素体に並置配列されるので、全体の面積が大となる。又、その受光は各垂直電極間或いは電極を渡して行われるので、その受光効率が低いとか、受光感度、特に短波長側の受光感度が悪くなるなどの欠点がある。

一方、インターライントランスファ方式による撮像装置は、第2図に示す如く夫々絵素となる複数の層状受光部(5)が、行及び列方向に配列され、各受光部(5)に隣合つて、共通の列上の受光部(5)に隣合し、夫々共通のCCD(1)より成る垂直シフトレ

ジスタ(6)が配列され、これらシフトレジスタ(6)の一端には共通の同様にCCD(1)より成る水平シフトレジスタ(7)が設けられ、撮像せんとする光学像に対応したパターン電荷を受光部(5)に得、この電荷を隣合するシフトレジスタ(6)に掃線消去期間に於いて転送し、その後、シフトレジスタ(6)の各転送部へ転送された電荷をシフトレジスタ(7)に転送し、この電荷に対応した撮像信号を出力端子より順次得るものである。

このように構成による場合、掃線消去期間に各受光部(5)に対応して隣合して設けられるシフトレジスタ(6)にその電荷を転送するのみで、例えば垂直方向へのシフトを必要としないので前述したフレームトランスファ方式による場合のように高い周波数のクロックを用いる必要がないという利点を有するが、この場合に於ても各受光部(5)とシフトレジスタ(6)とが並置配列されていることによつて全体の面積が比較的大となるという欠点はある。

本発明はこのような欠点を解消した固体撮像装置を提供せんとするものである。

即ち、本発明に於いては、半導体基体の一主面側に深層形CCD構造を有する転送領域を形成し、他方の主面側に受光領域を形成し、上記転送領域上に絶縁膜を介して被着した転送電極に所望の転送電圧を印加することによつて上記受光領域に生じた撮像せんとする光学像による電荷を転送領域に移す。この受光領域から転送領域への電荷の転送は直接的に行われるものであつて、前述したフレイムトランスファ方式による場合のような高い周波数の転送クロックを必要とするものではない。

第3図ないし第5図を参照して、本発明による固体撮像装置の一例を詳細に説明するに、半導体基体、例えばシリコン基体100を設ける。この半導体基体100は、その一主面(10a)側に表面CCDが形成され、之に対向して之より他方の主面(10b)側に受光領域が形成される。

CCDは、基体100の主面(10a)側に面して形成された例えば厚さが2 μ mのN形の比較的低い不純物濃度を有する半導体層101に、之に比し十分高い不純物濃度を有する同様にN形のチャンネルスト

ップー領域102が、主面(10a)に沿つて一方向例えば列方向(垂直方向)に沿つて延長する如く平行に配列され、各チャンネルストップー領域102に半導体層101より成る転送領域103が形成される。又、基体100の主面(10a)には、例えばSiO₂より成る絶縁膜104が被着され、この絶縁膜104を介して各転送領域103上に之等転送領域103を横切る方向即ち行方向(水平方向)に延長する転送電極105が被着本所望の間隔を保持して形成される。

一方、受光領域は、各転送領域103下に、即ち、各転送領域103より基体100の他方の主面(10b)側に云い換えれば、基体100の厚さ方向側に、各転送領域103と各転送電極105との交叉部に対向して夫々島状のP形の電荷蓄積領域106が形成され、更に各領域106と接して基体100の主面(10b)側にN形の共通の半導体層107が形成されて之と各領域106との間に夫々PN接合Jが形成されるようになる。電荷蓄積領域106は例えば10²⁰/cm³オーダーの高い不純物濃度に選定される。又、N形の半導体層107はその領域106と接する部分は比較的低い不純物濃度

例えば $10^{15}/\text{cm}^2$ オーダーの半導体層より薄設するも、必要に応じて主面(10b)側の表面にN形の高濃度例えば $10^{18}/\text{cm}^2$ オーダーの高濃度層(19a)を形成し得る。又、各電荷蓄積領域の間、即ち各転送領域の間に対向する部分と、各転送電極の間に対向する部分とに即ち格子状に蓄積領域と同導電性を有するも、領域間比し十分低い不純物濃度、例えば $10^{15}/\text{cm}^3$ オーダーのP形の電荷の蓄積を回避する領域間を形成する。

又、隣合う2つ層の転送電極間を相互に接続して之等3組の電極間の共通の端子A1、A2、A3に3相のクロック ϕ_1 、 ϕ_2 、 ϕ_3 を印加するようになる。

そして、基体層の表面(10b)側より受光するようになる。

このような構成による固体撮像装置は、基体層の一方の面(10a)側に夫々転送領域間に関し、共通の複数の転送電極間が絶縁膜間を介して夫々被覆された複数のCCDが形成され非直方向に延長するように平行配列される。CCDのその転送領

域間上に絶縁膜間を介して各転送電極間が被覆された部分即ち、各転送部に対応して夫々領域間と共通の半導体層間との間に形成された各PN接合Jより成るフォトダイオードdが、夫々の^{領域}間と転送領域間とに形成されるPN接合Jdより成る逆遷移性をもつて接続されたダイオードd₁を介して接続された構成となる。

このような構成による本発明装置に於て、フォトダイオードdの共通のカソード即ち半導体層間の端子Cには、正の固定電位V_{ss}例えば接地電位を与えてフォトダイオードdに逆バイアスを与える。

そして、この構成で、被覆となる各フォトダイオードdに撮像せんとする光学像を与えたことによつて生じた電荷を、CCDの各転送電極間の端子A1、A2及びA3に之等と与えるクロック電圧より十分高い電圧、即ち負の大なる電圧を与えることによつて、CCDの各転送部に転送する。この転送は例えばテレビジョン映像に於ける掃線消去期間に於いて行ふ。そして最終は、各CCDに於

Complete Charge Transfer with no Image Lag

いてその各転送電極端子 A_1 、 A_2 、 A_3 に転送クロック電圧を与えることによつて各転送部の電荷を順次隣り合う転送部へと転送し、例えば第 2 図で説明した水平シフトレジスタ 171 へと移送させるものである。そして、この CCD に於ける電荷の転送時にはフォトダイオード 11 に於て次の受光がなされている。

更に、本発明装置の動作を第 7 図を参照して説明すると、第 7 図 A に示す第 3 図中 A-A 線の断面に於いての受光状態即ち CCD に於ける電荷を転送している状態のポテンシャル状態をみると、第 7 図 B に示す如くなる ϕ_H 及び ϕ_L は転送電極 10 に対する転送クロックの高電位レベルと低電位レベルを示す。この状態では電荷蓄積領域 10a にはポテンシャルの井戸が生じている。したがつて、この状態で撮像光学像に応じた受光をなすと、受光量に応じて接合層の近傍に発生したキャリア即ちホール及び電子のうち、電子は電子 C 側に誘引されて消滅するが、ホールは蓄積領域 10a に拡散し、ここに蓄積される。

次にこの状態から第 7 図 C に示す如く端子 A_1 、 A_2 、 A_3 にクロックに比し十分低い電位レベル ϕ_{SL} 即ち負の大なる電圧を与えて領域 10a に蓄積されていた電荷、即ちホールは CCD の転送領域 10b へと転送させる。

そして、この状態から再び第 7 図 B の状態とされ、この状態で受光がなされると共に、第 7 図 C で説明した転送領域に転送された電荷は電極 10c に見られるクロックによる電圧 $\phi_H \sim \phi_L$ によつて第 7 図 C に於いて軌道と直交する方向に通常の表面形チャンネル形の CCD に於けると同様に転送されるていく。

上述したように、本発明装置によれば、基体 100 の裏面 (10b) 側から受光をなし、表面 (10a) 側の CCD で転送するようになるもので、受光部と転送部とは基体 100 の厚み方向に互に立体的に構成されるので、全体の面積の縮小化をはかることができ、ひいては受光部の面積の増大化がはかれるので、受光効率を上げることができる。又、従来のように、その受光を例えば多結晶シリコンより

成る転送電極を通じて行うよりなことを回避できるので、多結晶シリコンを通じて受光する場合に比し、特に短波長側に於ける受光感度の向上をはかることができるものである。又、受光領域から CCD 側への転送は例えば掃線消去期間に於いて転送電極間に 1 パルスを与えるのみで行うことができるので第 1 図について説明したフレームトランスファ方式に於ける 8MHz というような高い周波数の転送クロックの周波数を用いる必要もない。

次に、更に本発明装置の理解を容易にするために、第 8 図を参照して上述した本発明装置を得る製法の一例をその工程順に説明しよう。

先ず、第 8 図 A に示す如く、例えば厚さが 150—300 μm の不純物濃度が約 $10^{15}/\text{cm}^3$ の N 形のシリコンサブストレイト (1) を用い、その一方の面に約 2 μm の深さを以つて、P 形の不純物を夫々イオン注入法、或いは拡散法によつて選択的にドーピングして、不純物濃度が $10^{20}/\text{cm}^3$ 程度の複数の島状の電荷蓄積領域 (2) を行及び列方向に所望の間隔を保持して配列すると共に、各領域 (2) 間の全域に、即

ち各領域 (2) と接し且つ之等をとり囲むように格子状に領域 (2) と同導電性を有するもこの領域 (2) に比し十分低い不純物濃度例えば $10^{18}/\text{cm}^3$ の領域 (3) をイオン注入法、或いは拡散法によつて選択的に領域 (2) と同程度の深さに形成する。

次に第 8 図 B に示す如くサブストレイト (1) の、領域 (2) 及び (3) を有する面上に N 形の十分低い不純物濃度が例えば $10^{19}/\text{cm}^3$ オーダーのシリコン層より成る半導体層 (4) を 4 μm 程度の厚さにエピタキシャル成長して基体 (1) を開放する。

そして第 8 図 C に示す如くこの半導体層 (4) 上に選択的拡散によつて高濃度例えば $10^{18}/\text{cm}^3$ オーダーの N 形のチャネルストップ領域 (5) を基体 (1) の 1 主面 (10a) に臨んで形成し、各領域 (2) 間に半導体層 (4) より成る電荷転送領域 (6) を基体 (1) の 1 主面 (10a) に面して形成する。

その後、第 8 図 D に示す如く、このマスク層を除去し、半導体層 (4) 上に、即ち、基体 (1) の面 (10a) 上に例えば SiO_2 より成る絶縁膜 (7) をあらためて形成し、之の上で転送電極 (8) を平行配列する。そ

して、サブストレイト100をその裏面よりその周辺部を残して中央部の動作領域部分をエッチングしてその厚みを10~15 μ mとし、この薄い部分のサブストレイト100によつて前述したダイオードdの共通のカソード領域即ち各電荷蓄積領域d'との間にPN接合Jを形成するN形の半導体層102を形成する。このように周辺部の厚みは大にし、動作部のみの厚さを小とするときは、全体の機械的強度を保持しつつ受光効率を高めることができる。

尚、上述した本発明装置の例に於て、そのサブストレイト100即ち半導体基体100の半導体層102の表面に高不純物濃度層(10a)を設けるときは、表面再結合の防止を行うことができる利益がある。又、図示しないが基体100の面(10b)側にSiO₂層のようにその屈折率が基体100と空気との中間の値を有する層を設着することによつて、この表面の反射防止を行つて受光効率の向上をはかることができる。

又、上述した例に於て端子Cに負の電位を与えることによつて領域d'の蓄積電荷を適量消滅さ

せ光量調整を行うようにすることもできる。

尚、図示の例に限らず、例えば図示の例に於ける各層の導電形と電圧の極性とを反転させ光増感とするなどの種々の変更をなし得ることは明らかである。

図面の簡単な説明

第1図及び第2図は、従来の固体映像装置の構成例、第3図は本発明装置の一例の概略の拡大上面図、第4図及び第5図はそのA-A線上及びB-B線上の拡大断面図、第6図はその等価回路図、第7図はその説明図、第8図は本発明装置の製法の一例の工程図である。

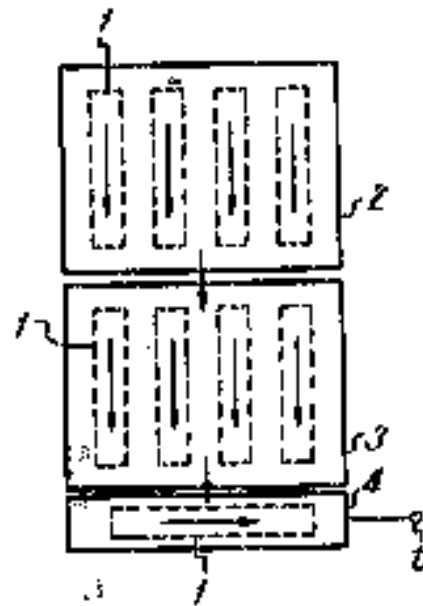
10は半導体基体、(10a)及び(10b)はその両主面、03は駆送領域、02はチャネルストップ層領域、01は電荷蓄積領域、09は半導体層、04は駆送電極、05は絶縁膜である。

特許出願人 ソニー株式会社

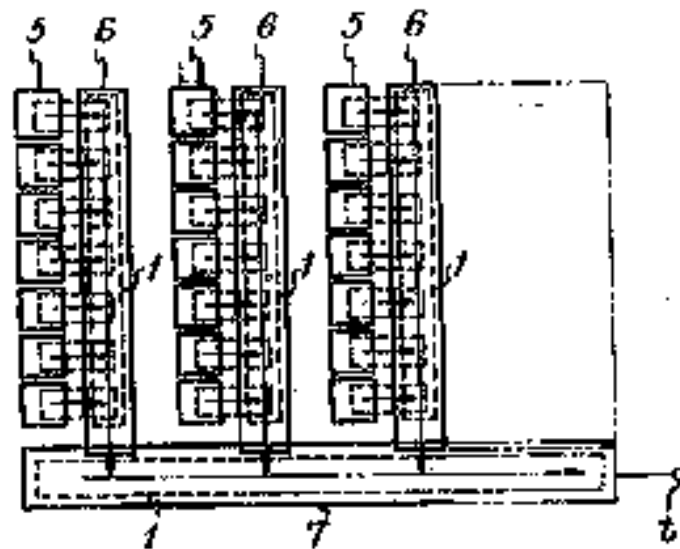
代理人 伊藤 興

Vertical Overflow (VOD)

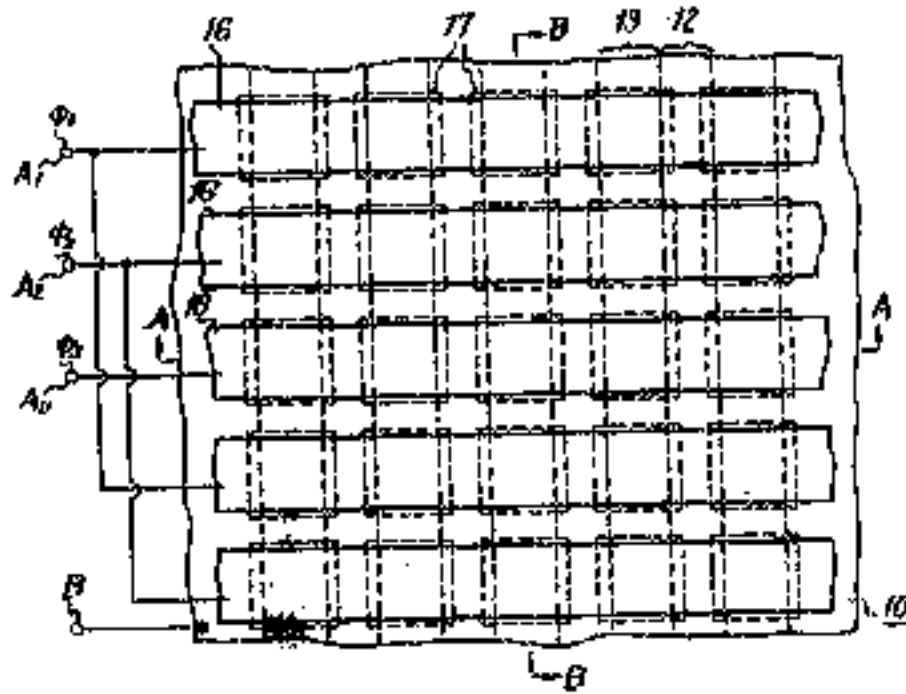
第 1 図



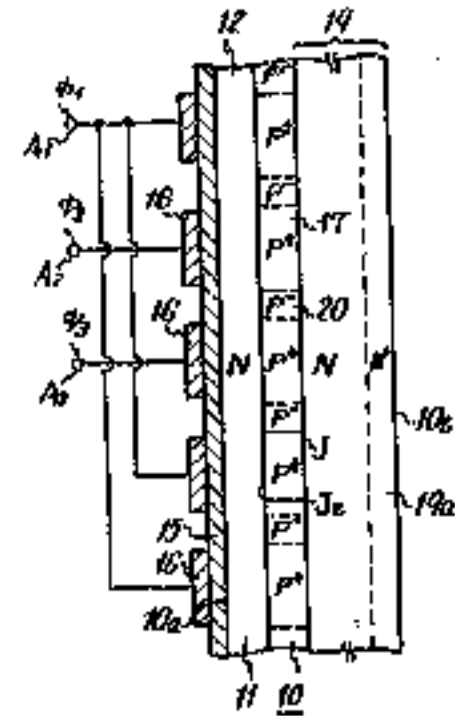
第 2 図



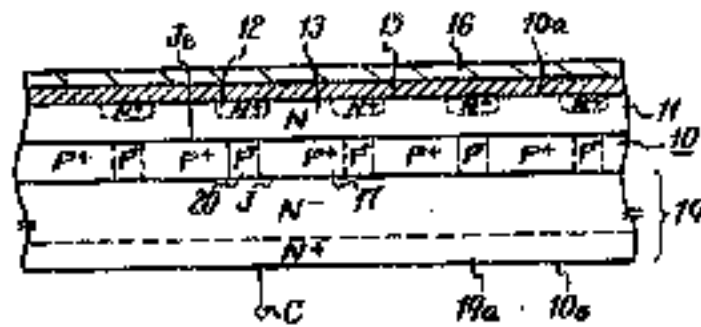
第 3 图



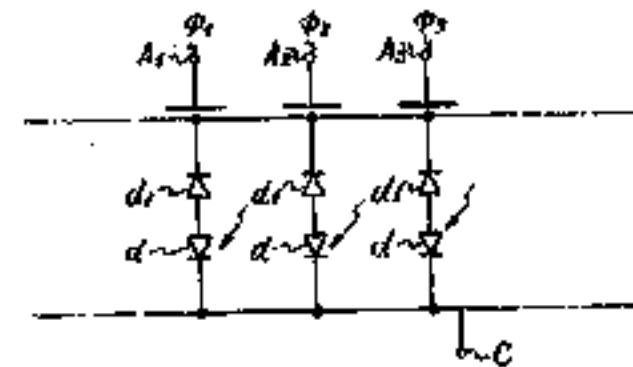
第 5 图



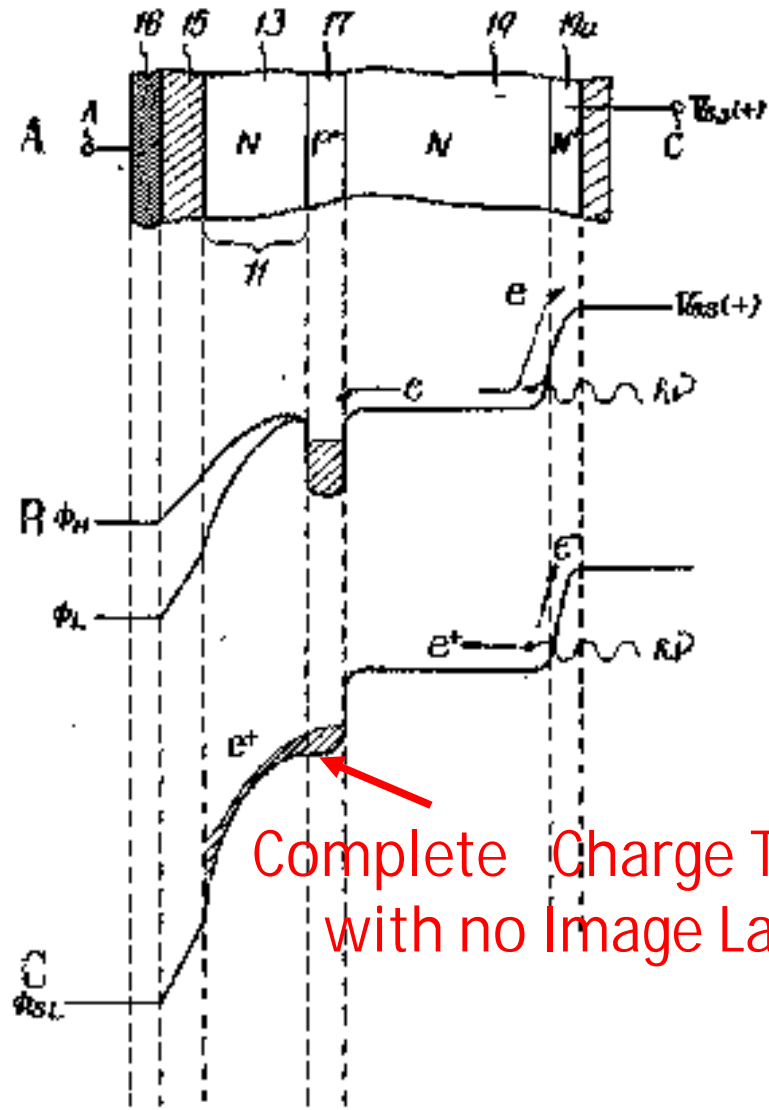
第 4 图



第 6 图

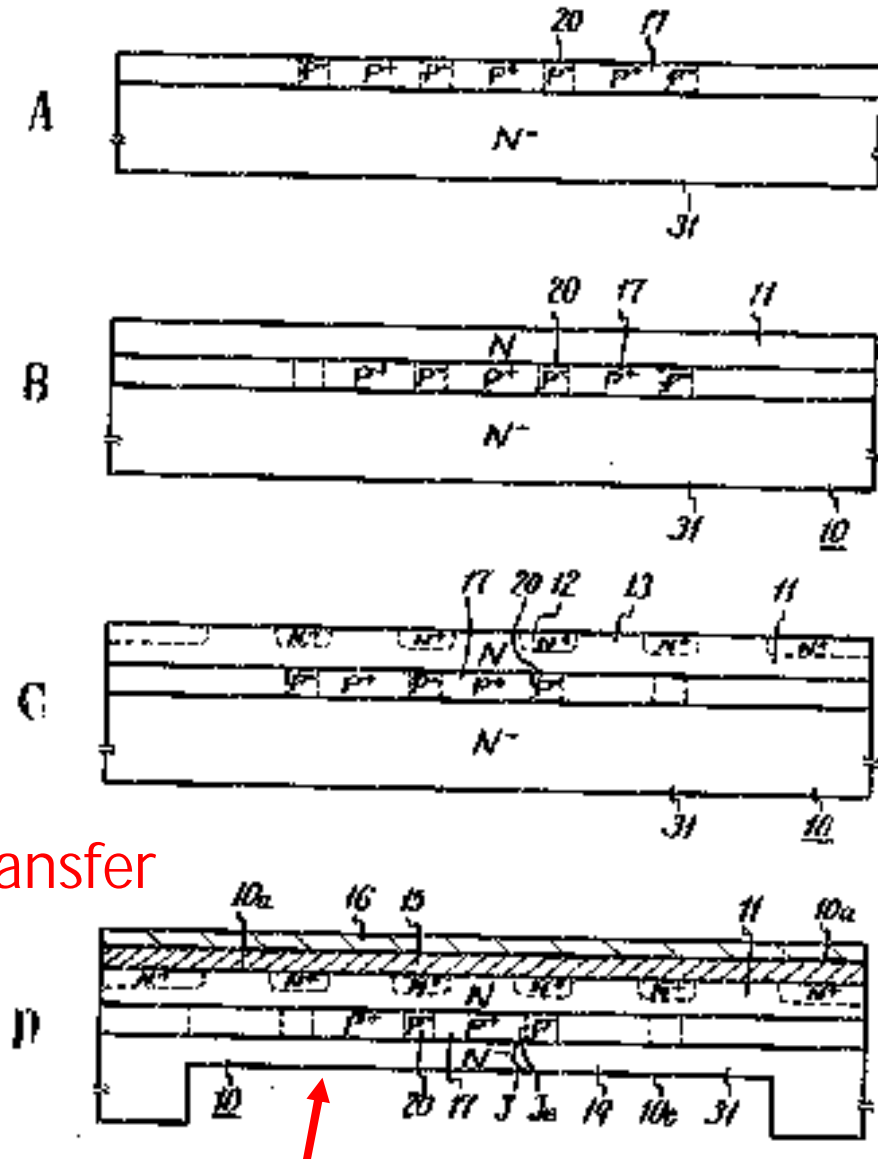


第 7 图



Complete Charge Transfer
with no Image Lag

第 8 图



Back Wafer Thinning for Back Light Illumination

Sony Hagiwara Patent on the NPN junction/substrate type Pinned Photodiode with a built-in Global Shutter Operation and Back Light Illumination scheme.

See Japanese Patent 1975-127647 (Oct 23, 1975) by Hagiwara Yoshiaki at Sony in 1975.

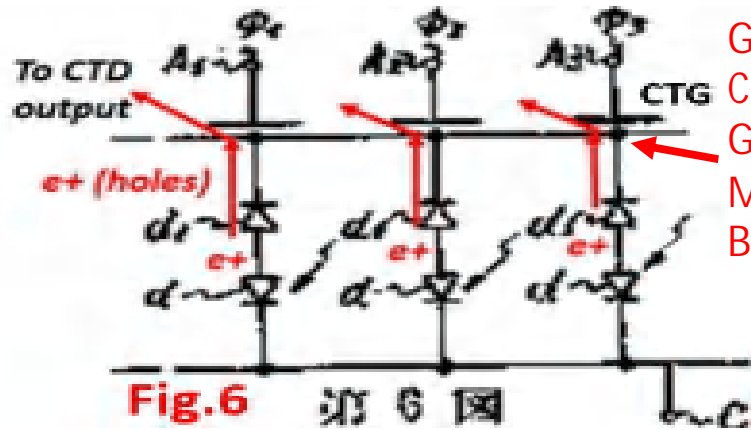
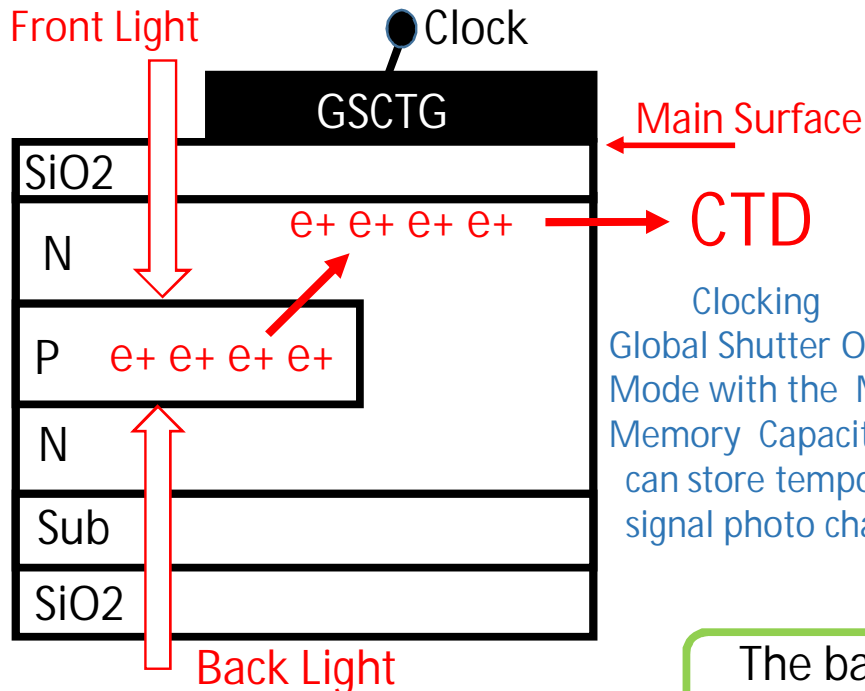


Fig. 6

Global Shutter Charge Transfer Gate working as MOS Capacitor Buffer Memory

Clocking for Charge Transfer Operation Mode to the adjacent CTD



See JP 1975-127647

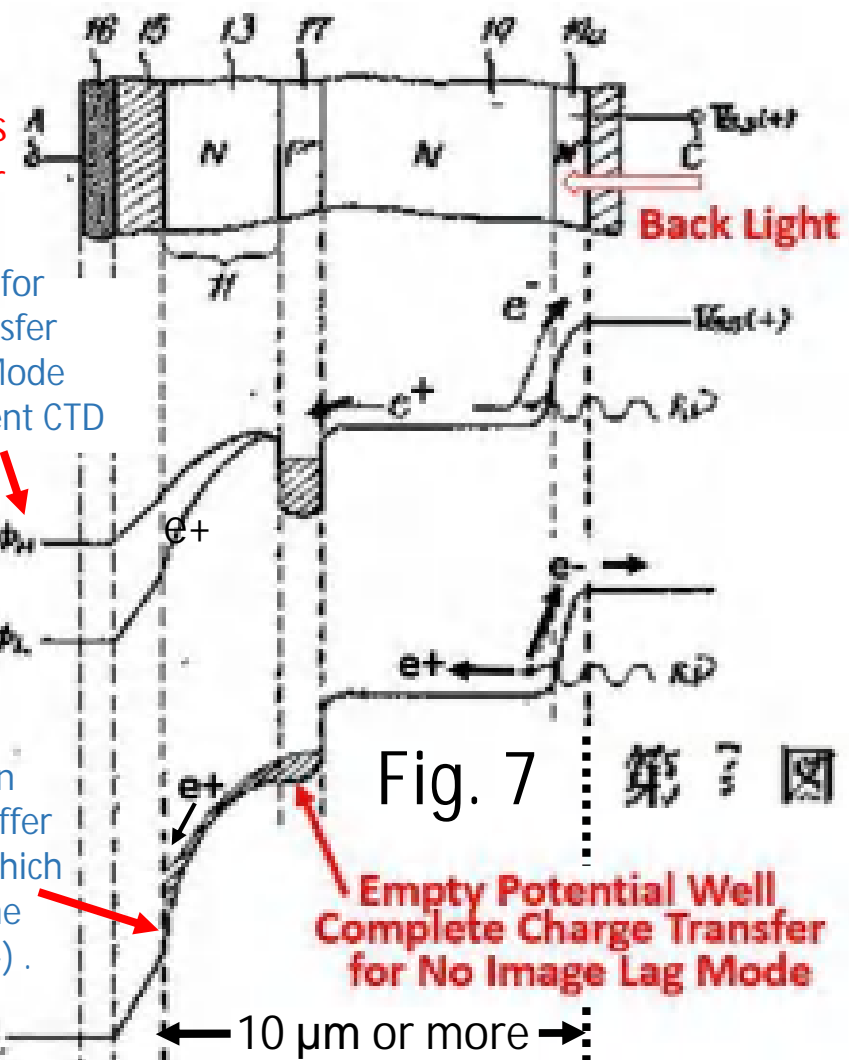


Fig. 7 第 7 図

Empty Potential Well Complete Charge Transfer for No Image Lag Mode

The back light can be blocked from reaching the front silicon wafer surface for Global Shutter Operation Mode.

Pinned Photodiode

defined in Japanese Patent 1975-127647

invented by Yoshiaki Hagiwara at Sony on October 23, 1975

- (1) 半導体基体の一方の主面側に、
- (2) 絶縁膜を介して電荷転送用電極が被着配列される
- (3) 1の導電型の転送領域が形成され、
- (4) 之より上記半導体基体の他方の主面側に
- (5) 上記転送領域に接する他の導電型の領域と
- (6) 該領域に接する1の導電型の領域とより成る
- (7) 受光部が形成され、
- (8) 上記転送用電極に所要の電圧を印加することにより、
- (9) 上記受光領域に蓄積した電荷を上記転送領域に転送し、
- (10) 上記電荷転送用電極に
- (11) 上記所要の電圧とは異なるクロック電圧を印加して
- (12) 上記基体の上記一方の主面に沿って
- (13) 電荷の転送を行うようにしたことを
- (14) 特徴とする固体撮像装置

特許請求範囲

Pinned Photodiode (Sony HAD) Sensor

defined in the Japanese Patent 1975-127647 by Hagiwara at Sony

File 1975-127647 1975/10/23
Public 1975-051816 1975/04/26

Pinned Photodiode (SONY HAD) Basic Patent
with Global Shutter and Back Light Illumination

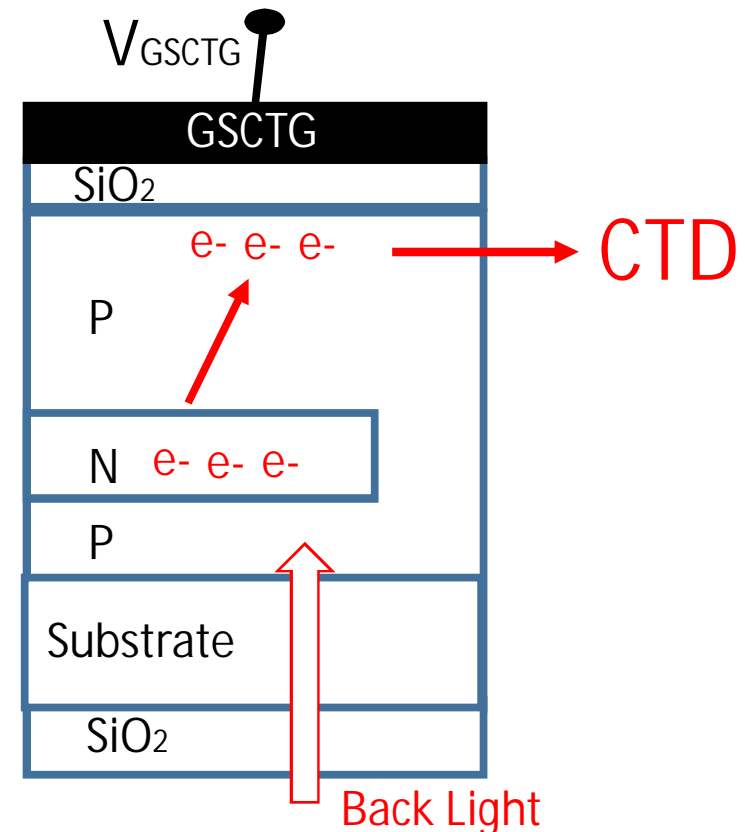
発明の名称 固体撮像装置

特許請求の範囲

半導体基体の一方の主面側に、絶縁膜を介して電荷転送用電極が被着配列される1の導電型の転送領域が形成され、之より上記半導体基体の他方の主面側に上記転送領域と接する他の導電型の領域と該領域に接する1の導電型の領域とより成る受光領域が形成され、上記転送電極に所要の電圧を印加することにより、上記受光領域に蓄積した電荷を上記転送領域に転送し、上記電荷転送用電極に上記所要の電圧とは異なるクロック電圧を印加して上記基体の上記一方の主面に沿って電荷の転送を行うようにしたことを特徴とする固体撮像装置。

P-well (第1電導型の転送領域)

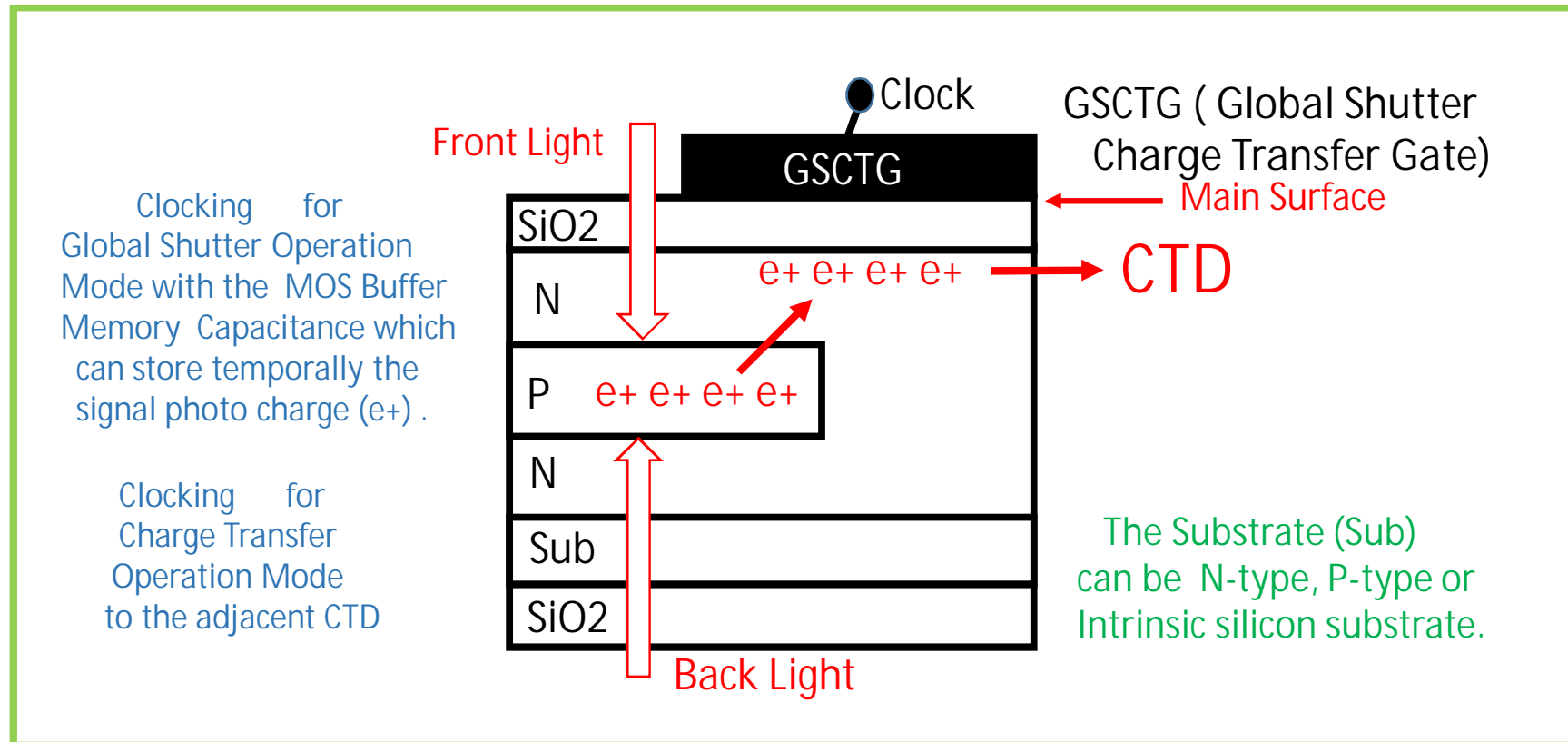
Global Shutter Mode Clocking
Charge Transfer Mode Clocking



See JP 1975-127647

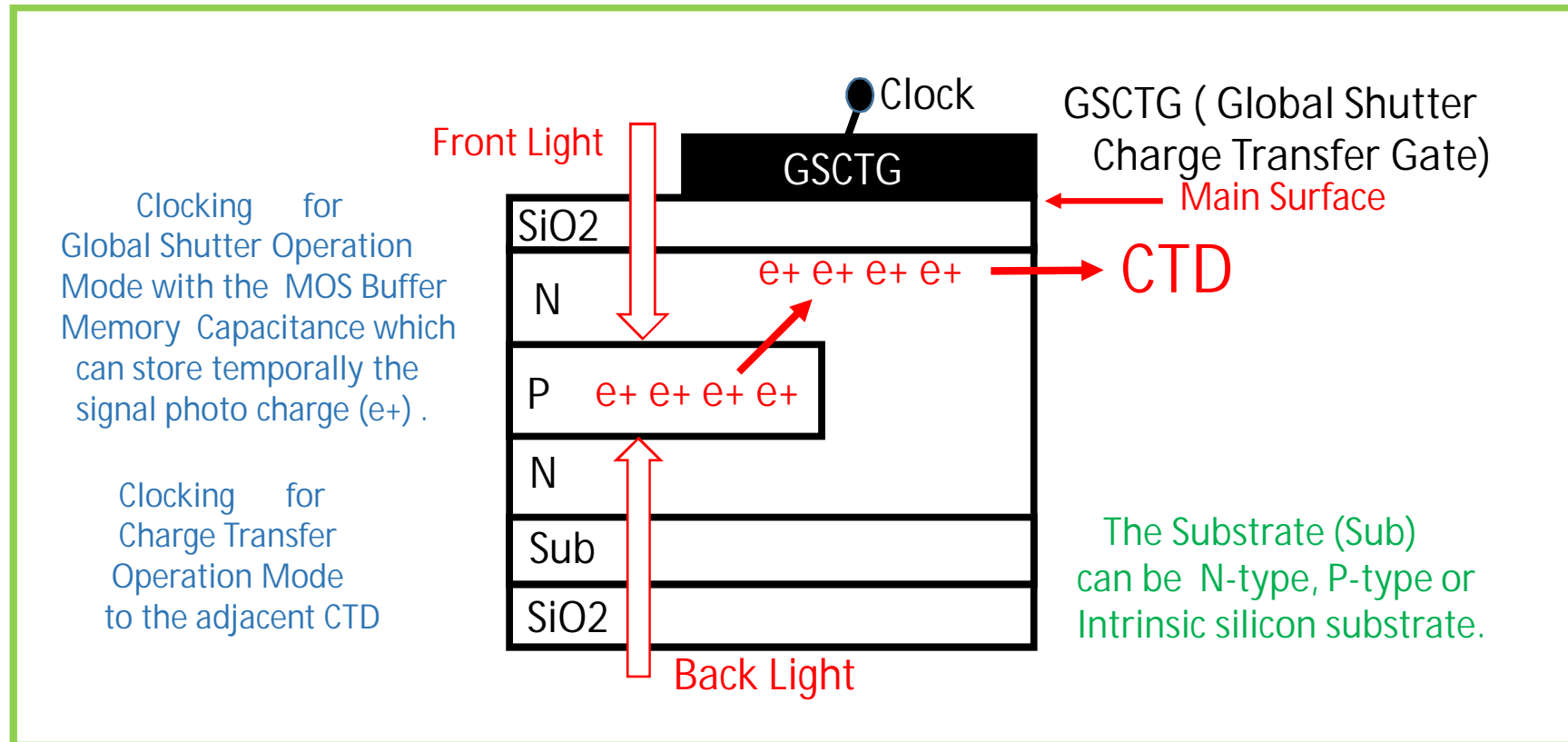
Japanese Patent by Yoshiaki Hagiwara at Sony

NPNsub junction type Pinned Photodiode
with Global Shutter Function and Back Light Illumination Scheme
See [1975-127647](#) (October 23, 1975)



Japanese Patent by Yoshiaki Hagiwara at Sony

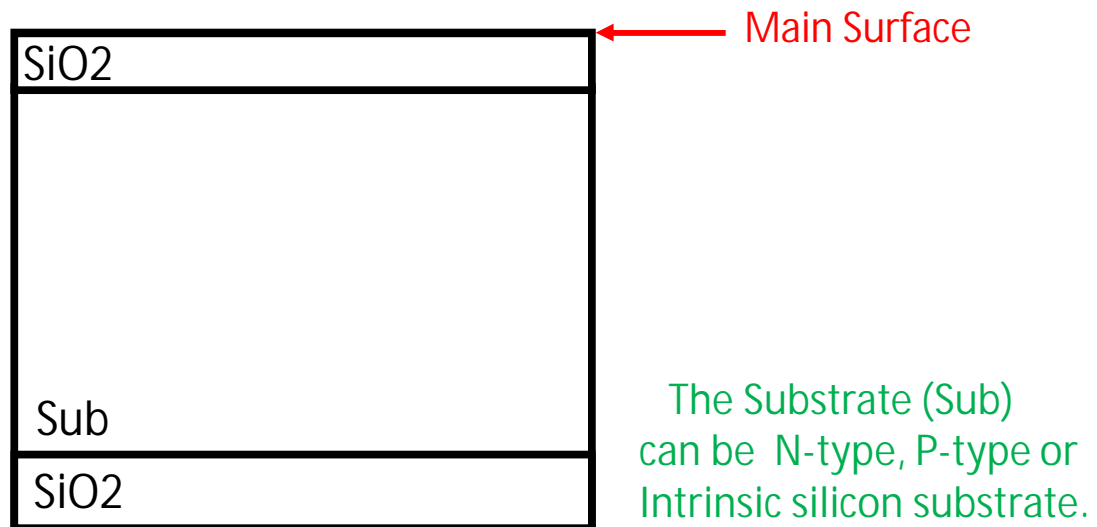
NPNsub junction type Pinned Photodiode
with Global Shutter Function and Back Light Illumination Scheme
See [1975-127647](#) (October 23, 1975)



NPNsub junction type Pinned Photodiode

(1) Along the main surface of the semiconductor substrate

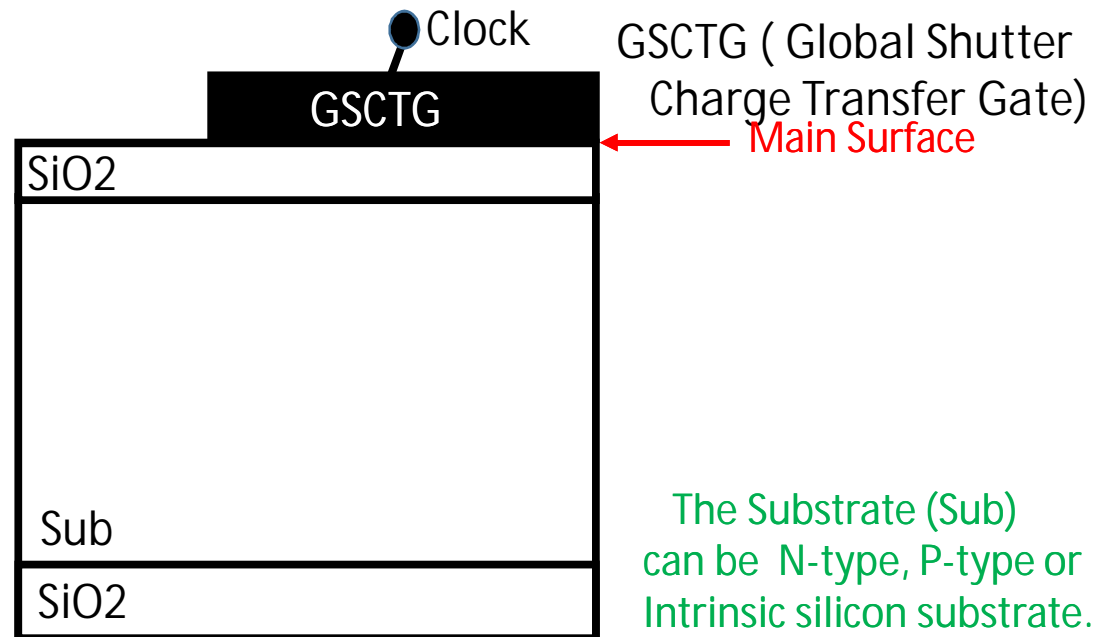
(1) 半導体基体の一方の主面側に、



NPNsub junction type Pinned Photodiode

(2) The charge transfer gate (GSCTG) is formed upon the oxide,

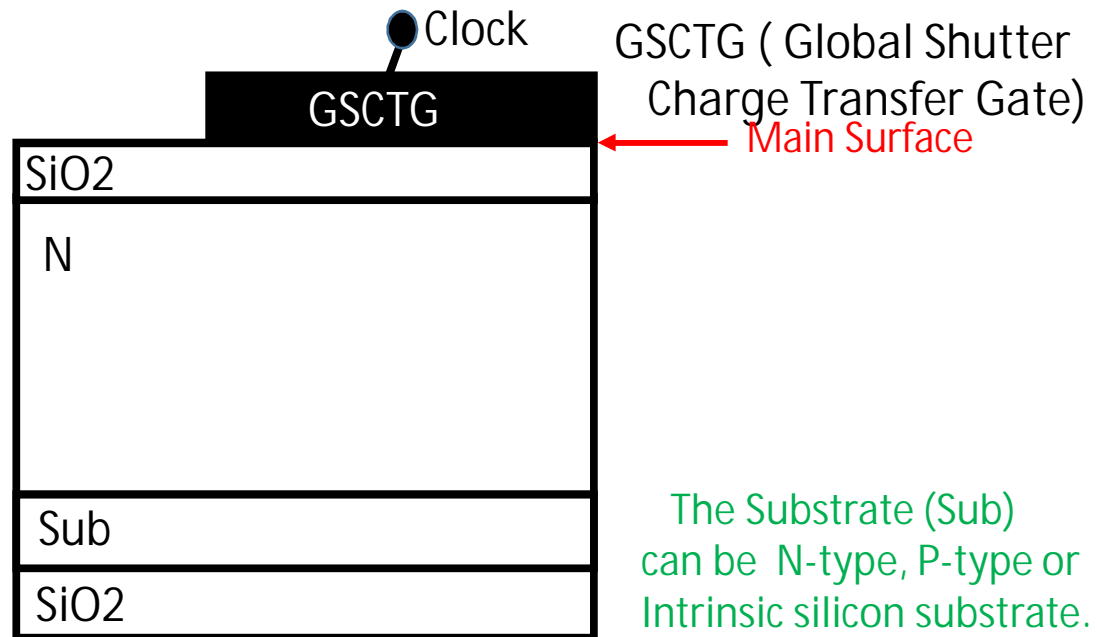
(2) 絶縁膜を介して電荷転送用電極 (GSCTG) が被着配列される



NPNsub junction type Pinned Photodiode

(3) The charge transfer region (N) of the first conductivity is formed,

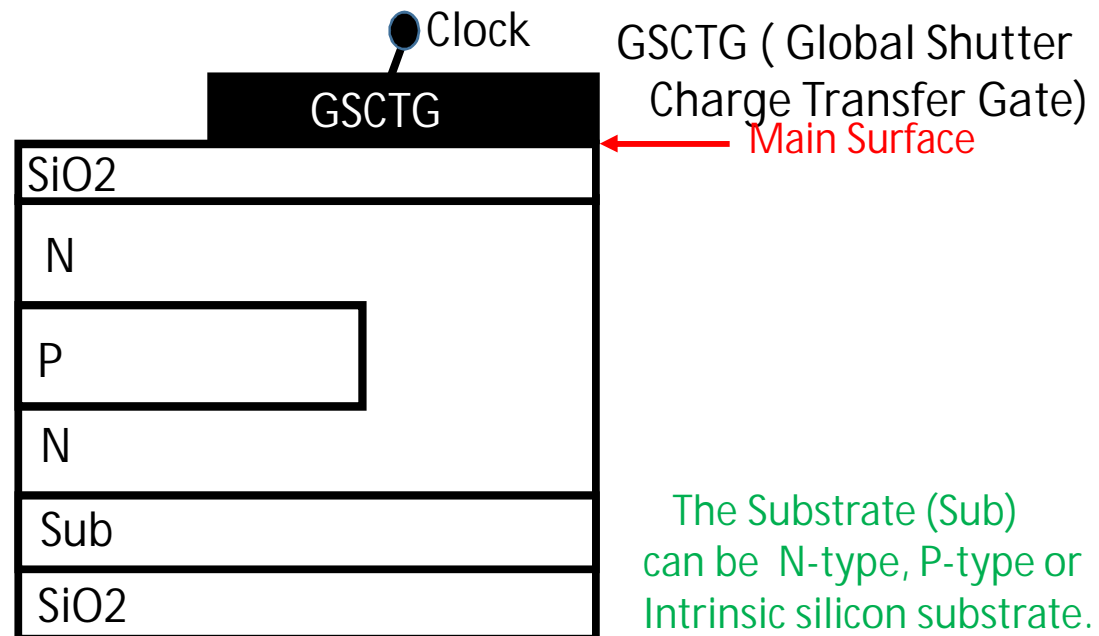
(3) 1の導電型の転送領域が形成され、



NPNPsub junction type Pinned Photodiode

- (4) Along to the opposite side of the said semiconductor main surface ,
(5) another region (P) of another conductivity type is formed

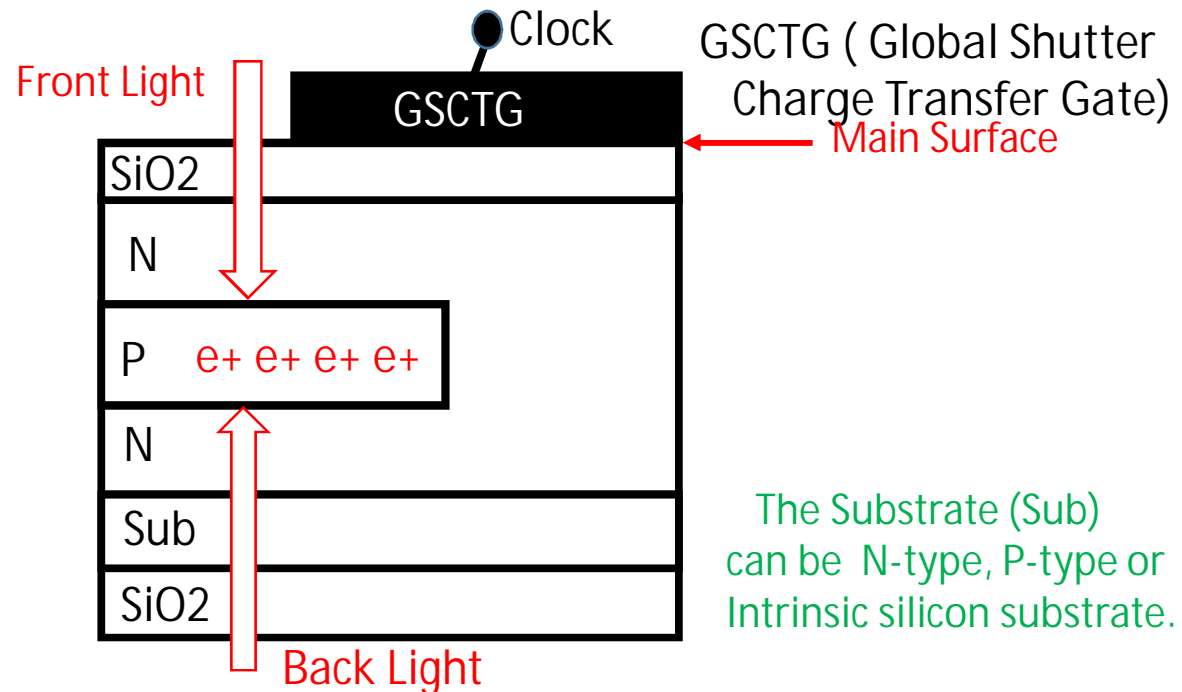
- (4) 之より上記半導体基体の他方の主面側に
(5) 上記転送領域に接する他の導電型の領域と



NPNsub junction type Pinned Photodiode

- (6) With the said the first conductivity region (N) ,
- (7) a photo sensing structure (NP junction) is formed.

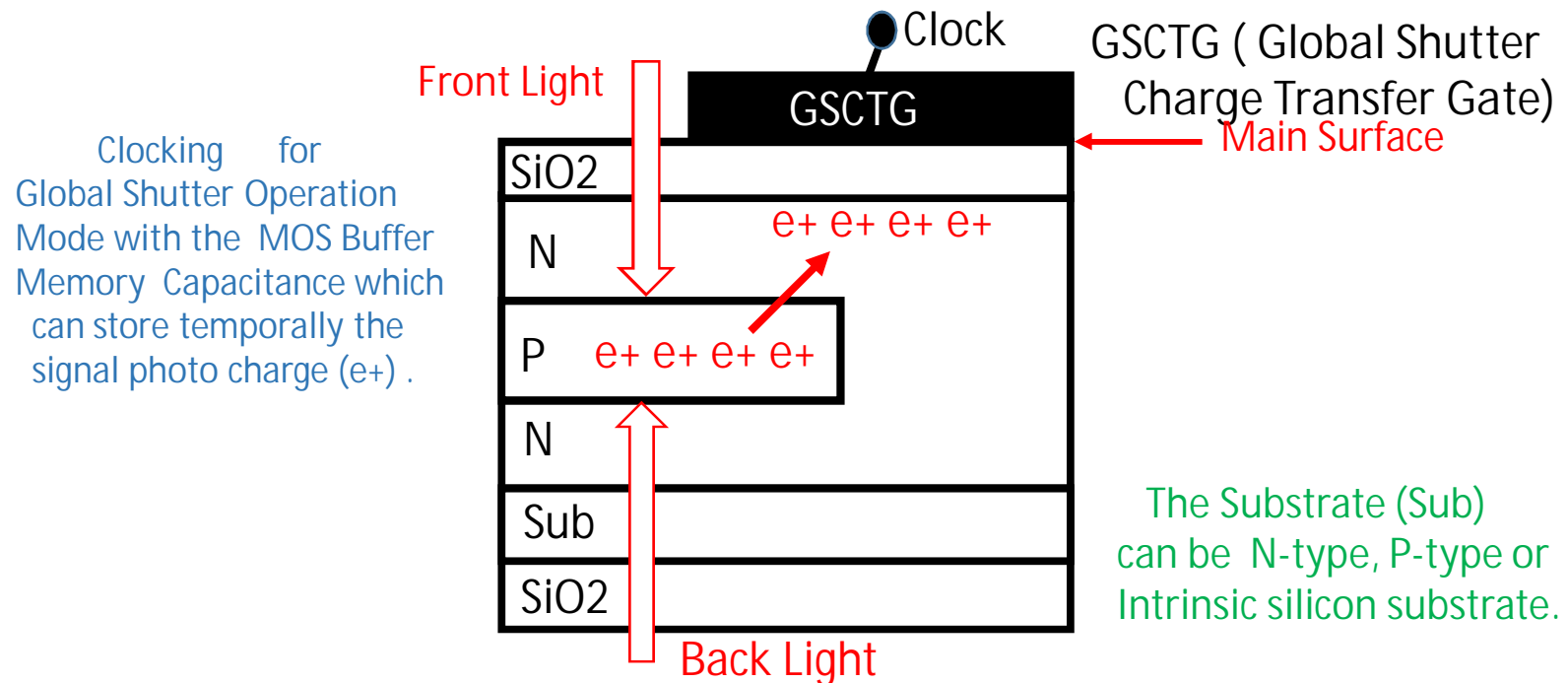
- (6) 該領域に接する1の導電型の領域とより成る
- (7) 受光部 (NP junction) が形成され、



NPNsub junction type Pinned Photodiode

- (8) By applying a proper voltage on the said charge transfer gate (GSCTG)
(9) the charge (e^+) in the photo sensor is transferred to the CTG region

- (8) 上記転送用電極 (GSCTG) に所要の電圧 を印加することにより、
(9) 上記受光領域に蓄積した電荷を上記転送領域 (CTG) に転送し、



NPNsub junction type Pinned Photodiode

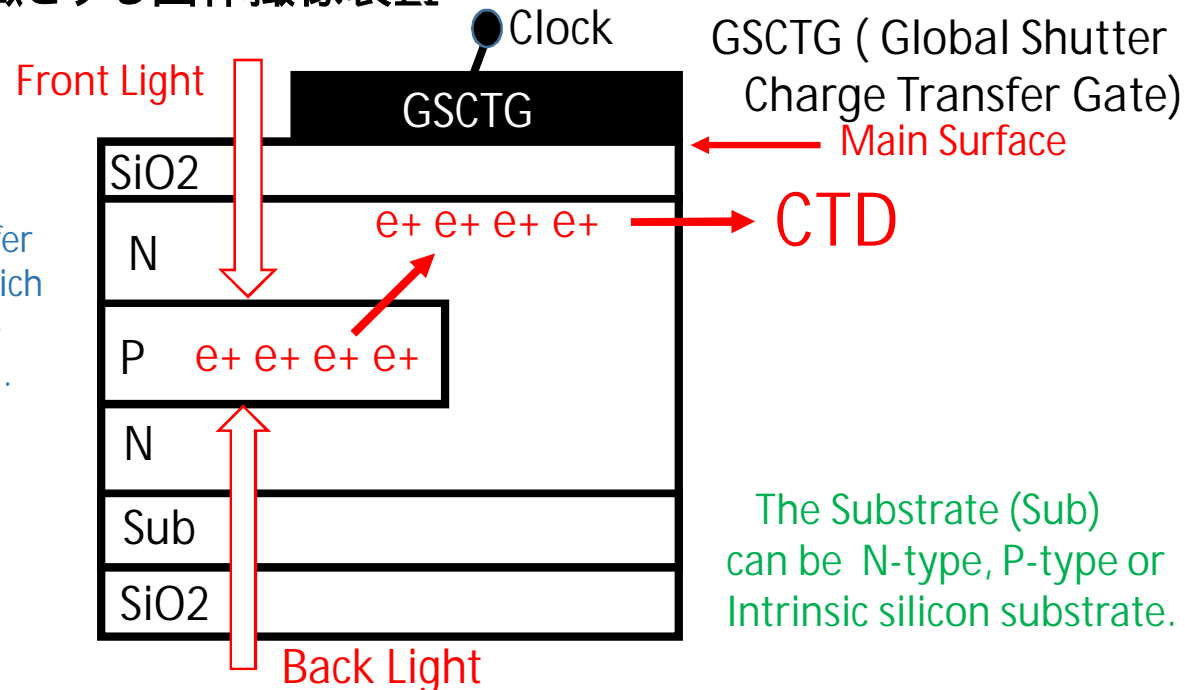
See JP 1975-127647

- (10) On the said charge transfer gate (GSCTG),
- (11) applying a different voltage from the said previous one
- (12) along the said main surface
- (13) the electric charge (e+) is to be transferred.
- (14) So defined photo image sensing structure is in the patent claim.

- (10) 上記電荷転送用電極 (GS)に
- (11) 上記所要の電圧とは異なるクロック電圧 を印加して
- (12) 上記基体の上記一方の主面に沿って
- (13) 電荷の転送を行うようにしたことを
- (14) 特徴とする固体撮像装置

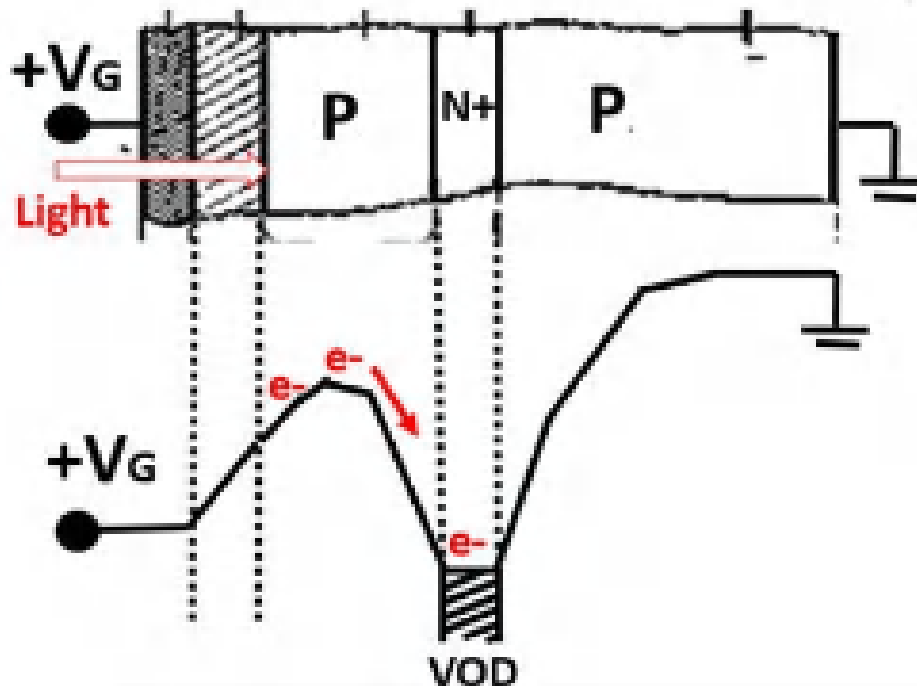
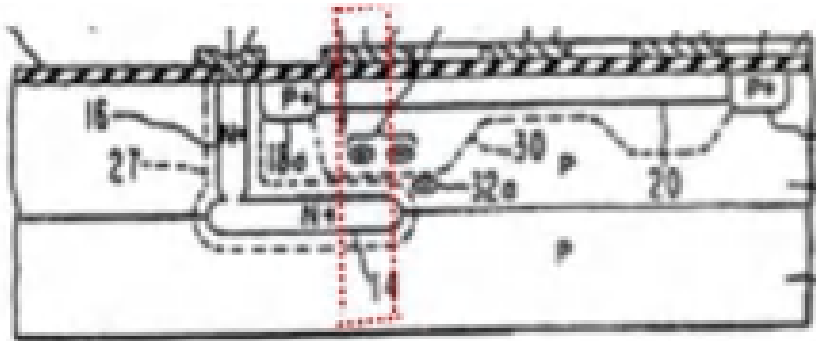
Clocking for Global Shutter Operation Mode with the MOS Buffer Memory Capacitance which can store temporarily the signal photo charge (e+).

Clocking for Charge Transfer Operation Mode to the adjacent CTD



The Substrate (Sub) can be N-type, P-type or Intrinsic silicon substrate.

(5) Fairchild Early Patent on CCD sensor with Vertical OFD(VOD) function
See USP 3896485 (July 22, 1975)

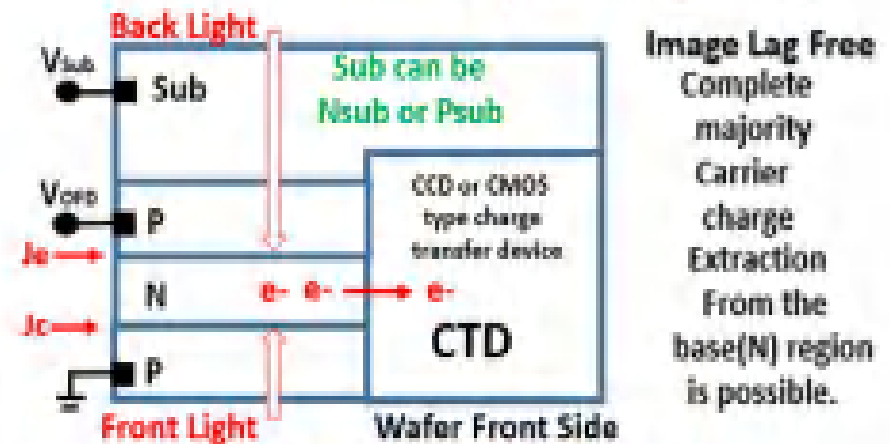
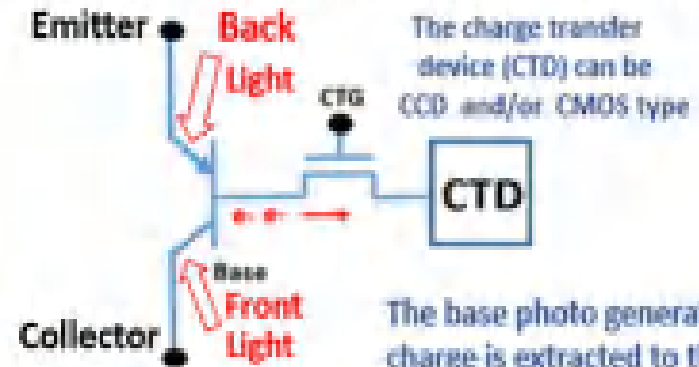


See JP 1975-127647

(1) Pinned Photodiode

See Japanese Patent 1975-134985
invented by Yoshiaki Hagiwara at Sony
on November 10, 1975

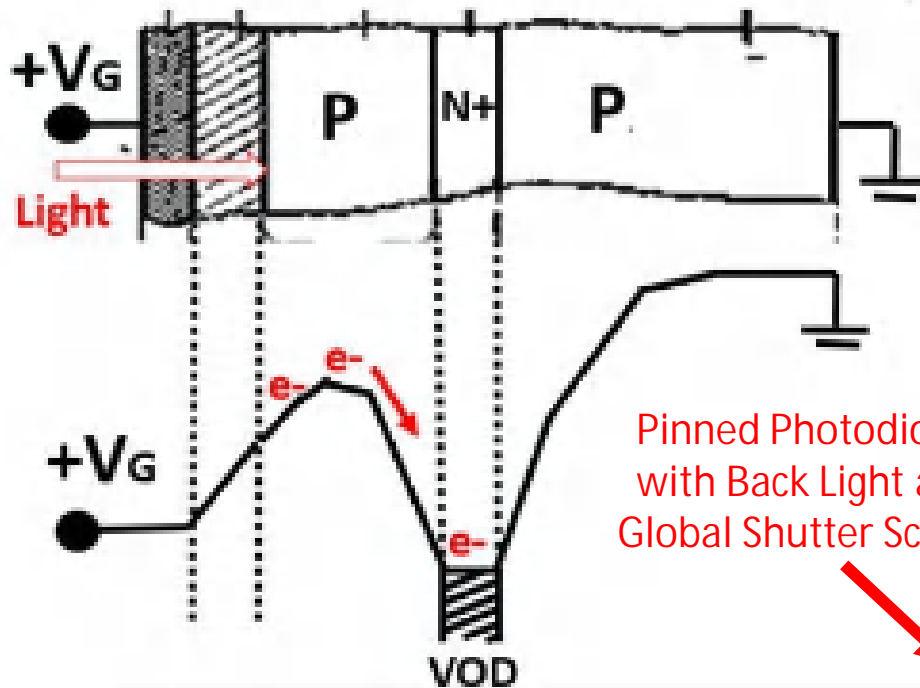
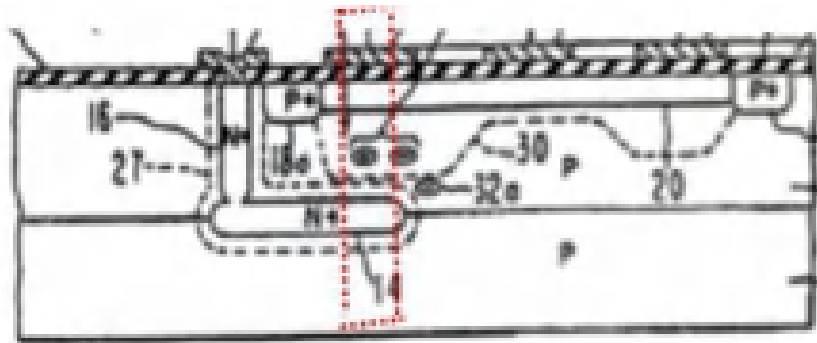
Dynamic Photo Transistor Operation
proposed by Hagiwara Sony in 1975



PNP/Sub junction type Pinned Photo Diode

Image Lag Free
Complete majority
Carrier
charge
Extraction
From the
base(N) region
is possible.

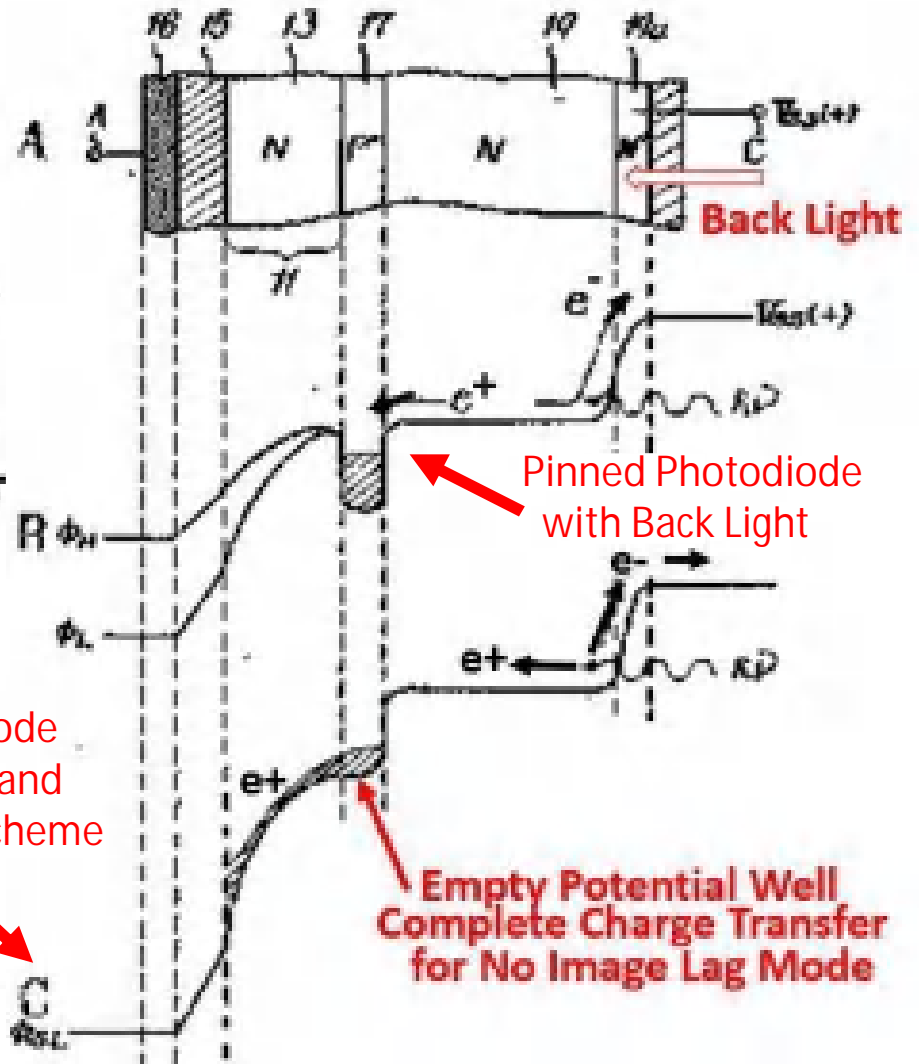
(5) Fairchild Early Patent on CCD sensor with Vertical OFD(VOD) function
See USP 3896485 (July 22, 1975)



Pinned Photodiode with Back Light and Global Shutter Scheme

(2) Pinned Photodiode

See Japanese Patent 1975-127647
invented by Yoshiaki Hagiwara at Sony
on October 23, 1975



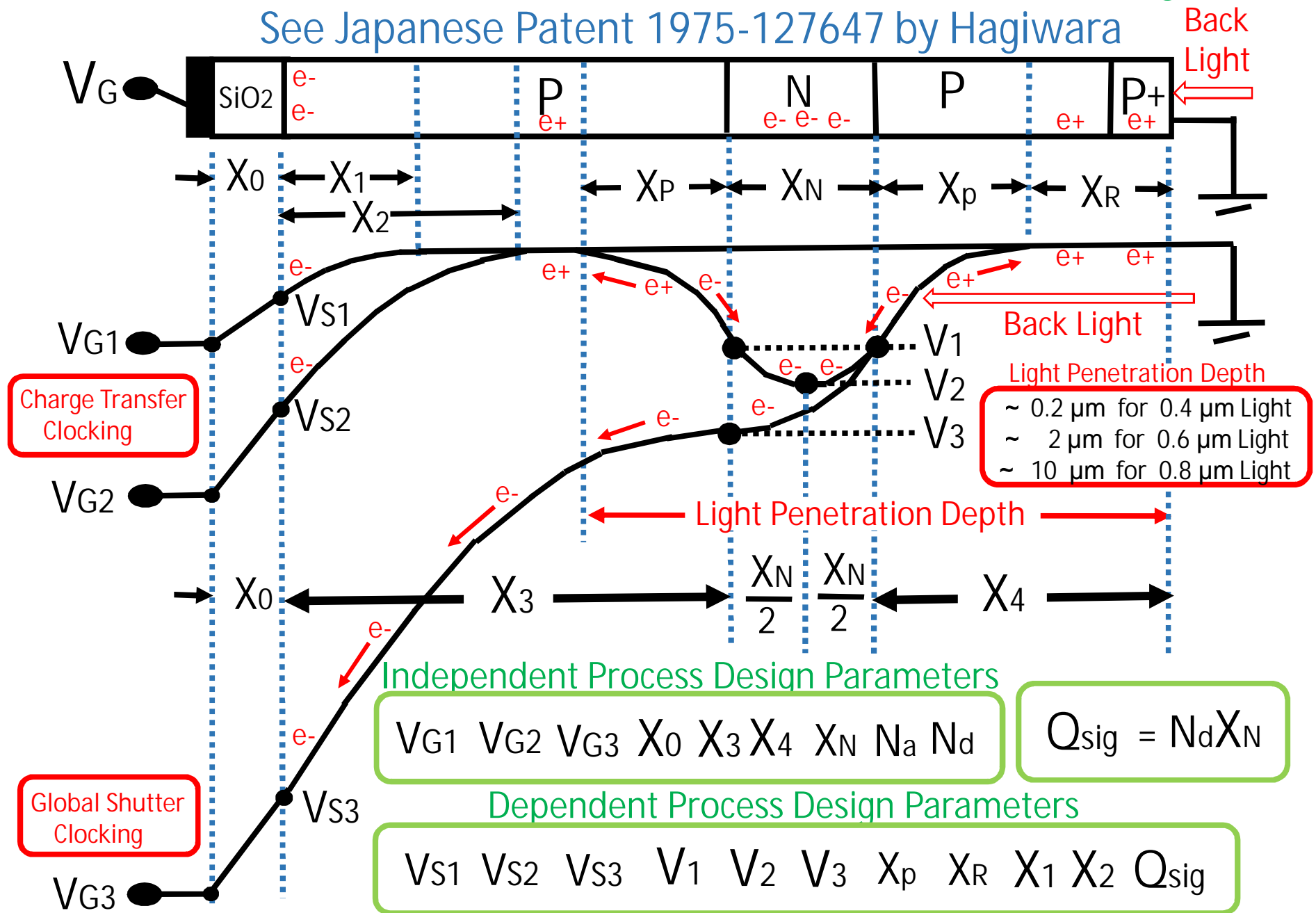
Pinned Photodiode with Back Light

Empty Potential Well Complete Charge Transfer for No Image Lag Mode

See JP 1975-127647

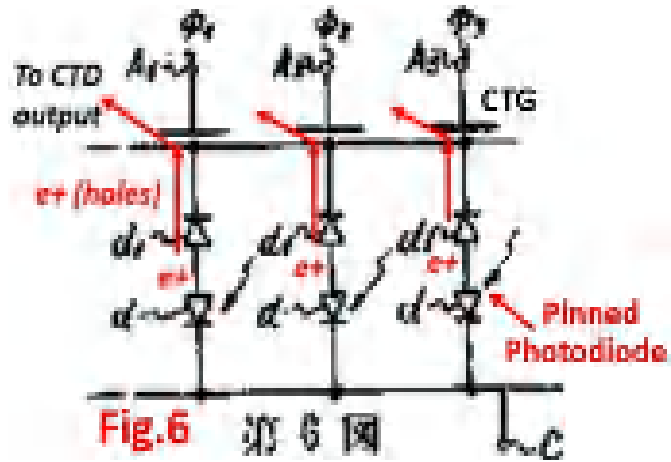
Pinned Photodiode with Global Shutter and Back Light

See Japanese Patent 1975-127647 by Hagiwara



Pinned Photodiode

with Global Shutter and Back Light
See Japanese Patent 1975-127647



Light Penetration Depth

- ~ 0.2 μm for 0.4 μm Light
- ~ 2 μm for 0.6 μm Light
- ~ 10 μm for 0.8 μm Light

$$\bar{\epsilon}_{\text{Si}} = 648 \text{ e/V} \cdot \mu\text{m}$$

$$N_a = \sim 100 \text{ e}/\mu\text{m}^3$$

$$N_d = \sim 1000 \text{ e}/\mu\text{m}^3$$

$$\frac{1}{2} (N_d X_N) = N_a X_p$$

$$E_{S1} = \frac{N_a X_1}{\epsilon_{\text{Si}}} = \frac{(V_{G1} - V_{S1})}{X_0}$$

$$E_{S2} = \frac{N_a X_2}{\epsilon_{\text{Si}}} = \frac{(V_{G2} - V_{S2})}{X_0}$$

$$E_{S3} = \frac{N_a X_3}{\epsilon_{\text{Si}}} = \frac{(V_{G3} - V_{S3})}{X_0}$$

$$V_{S1} = \frac{N_a X_1^2}{2 \epsilon_{\text{Si}}}$$

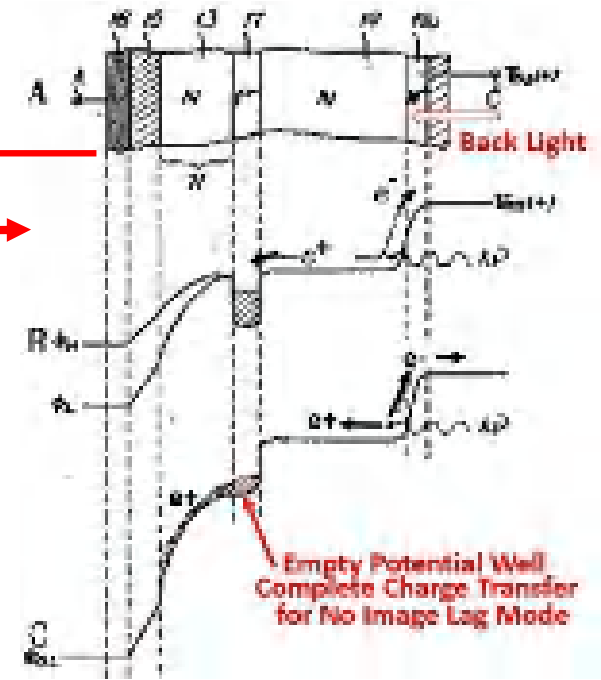
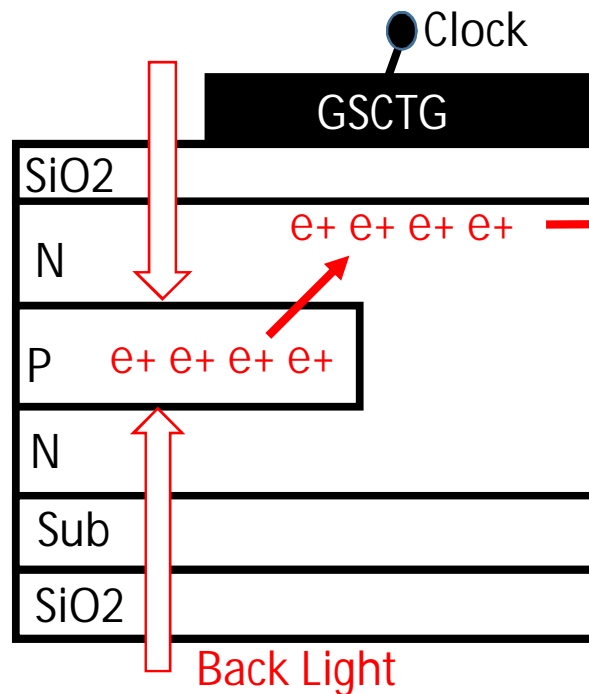
$$V_{S2} = \frac{N_a X_2^2}{2 \epsilon_{\text{Si}}}$$

$$V_{S3} = \frac{N_a X_3^2}{2 \epsilon_{\text{Si}}} + V_3$$

$$V_1 = \frac{N_a X_p^2}{2 \epsilon_{\text{Si}}}$$

$$V_2 = V_1 + \frac{N_d X_N^2}{8 \epsilon_{\text{Si}}}$$

$$V_3 = V_1 + \frac{N_d X_N^2}{2 \epsilon_{\text{Si}}}$$



Sony Hagiwara Patent on the NPN junction/substrate type Pinned Photodiode with a built-in Global Shutter Operation and Back Light Illumination scheme.

See Japanese Patent 1975-127647 (Oct 23, 1975) by Hagiwara Yoshiaki at Sony in 1975.

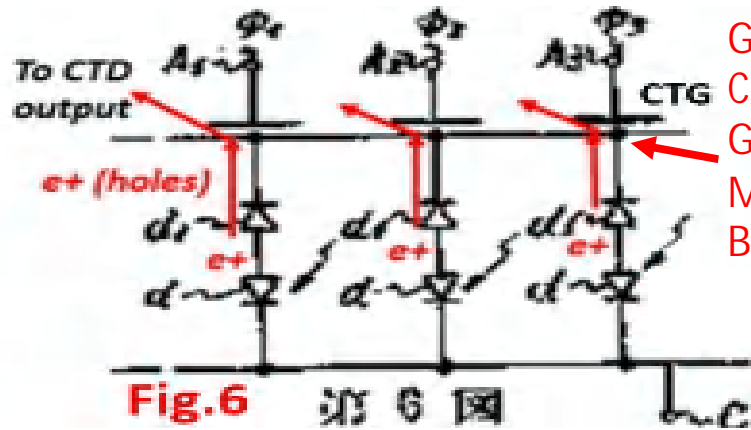
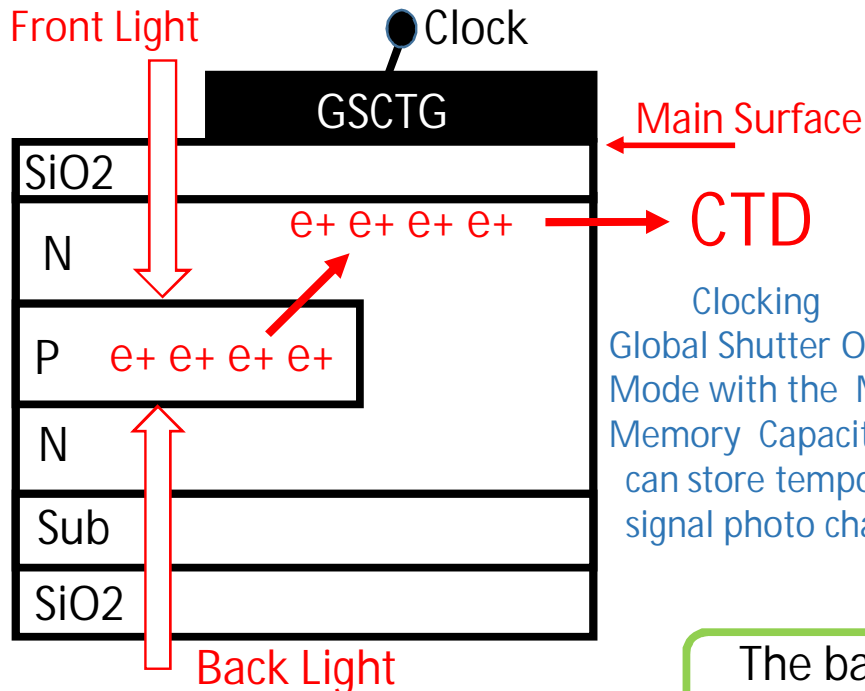


Fig. 6

Global Shutter Charge Transfer Gate working as MOS Capacitor Buffer Memory

Cloning for Charge Transfer Operation Mode to the adjacent CTD



Cloning for Global Shutter Operation Mode with the MOS Buffer Memory Capacitance which can store temporarily the signal photo charge (e+).

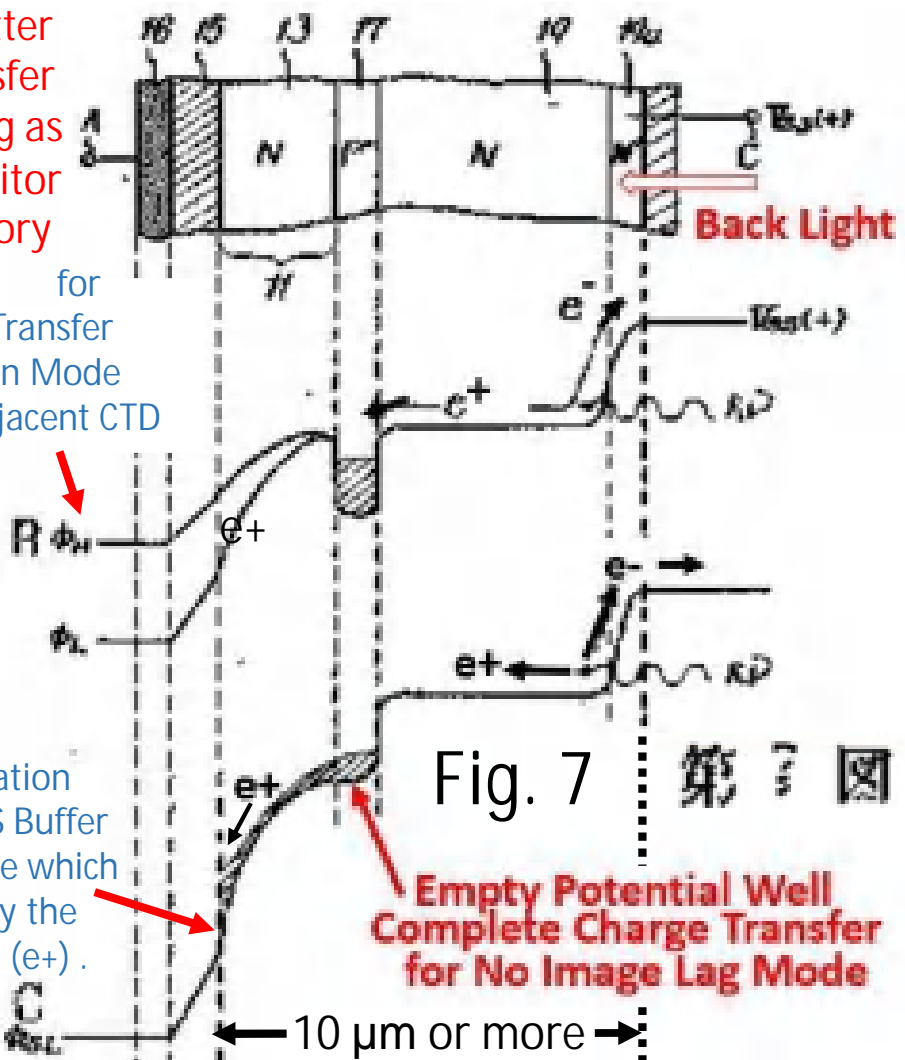


Fig. 7

The back light can be blocked from reaching the front silicon wafer surface for Global Shutter Operation Mode.

See JP 1975-127647