

Pinned Photodiode Patent 1975

Japanese Patent of SONY HAD sensor

by Yoshiaki Hagiwara at Sony

See Patent 1975-134985 (November 10, 1975)

Hole Accumulation Diode (HAD)

Sony Original
HAD Sensor
Japanese Patent

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

Fig. 6A

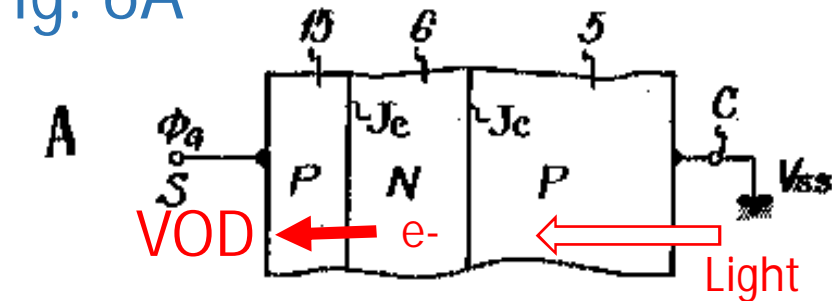
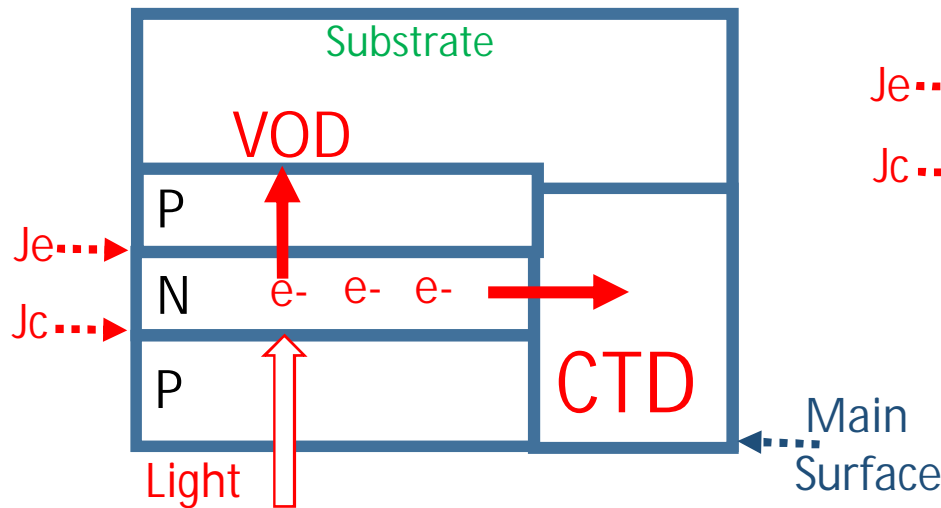
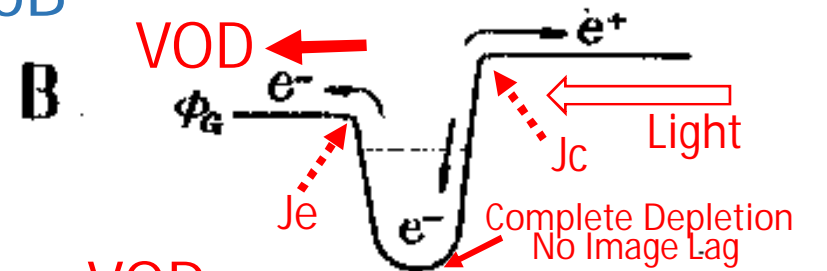
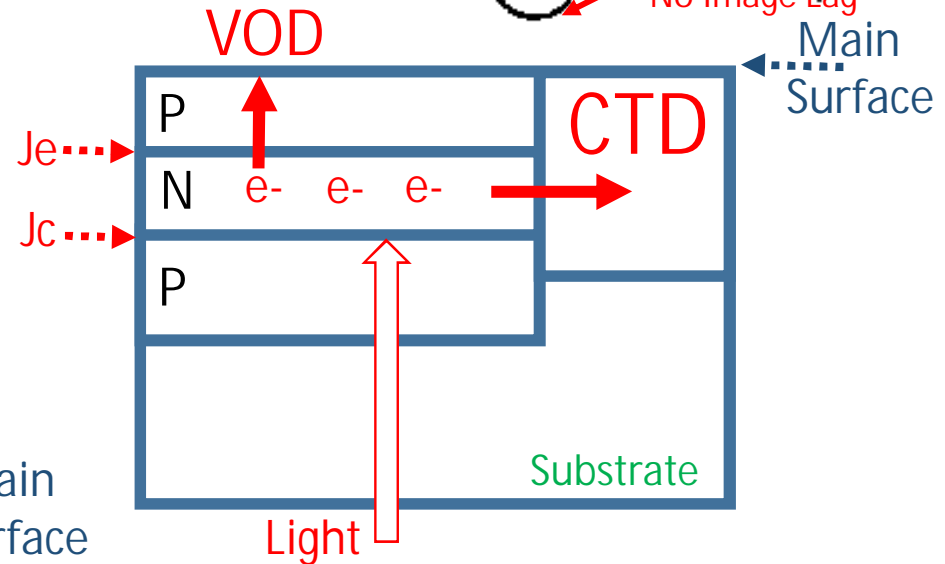


Fig. 6B



Case(1) Front Light Illumination



Case(2) Back Light Illumination

See https://www4.j-platpat.inpit.go.jp/eng/tokujitsu/tkbs_en/TKBS_EN_GM101_Top.action

Japanese Patent 1975-134985

filed on Nov. 11, 1975

(11) Publication number	52-058414	(21) Application number	50-134985
(43) Date of publication of application	13.05.1977	(22) Date of filing	20.11.1975
(51) Int.Cl.	H04N 5/30	(71) Applicant	SONY CORP
(54) SOLID PICKUP EQUIPMENT	H01L 31/00	(72) Inventor	HAGIWARA YOSHIAKI

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

- (1) In the semiconductor substrate (Sub)
- (2) the first region (Pwell) is formed.
- (3) And the second region (N) is formed upon on the first region (Pwell),
- (4) forming the photo sensing part (N/Pwell).
- (5) The charge (e-) from this (N) is transferred to the adjacent charge transfer device (CTD),
- (6) which is formed along the main surface of the substrate.
- (7) In the so-defined image sensing device,
- (8) on the second region (N) of the photo sensing part (N/Pwell),
- (9) a rectifying junction (P/N) is formed.
- (10) Let this junction(PN) be called an emitter junction (Je).
- (11) Let the junction between the first region(Pwell) and the second region (N)
- (12) be called as the collector junction (Jc) forming a transistor (P/N/Pwell).
- (13) In the second region (N) , which is the base of the said transistor (P/N/Pwell),
- (14) according to the optical image, the electronic charge (e-) is stored.
- (15) The electronic charge , stored in here(N) , is transferred to the said CTD.
- (16) So defined structure is in the scope of this patent (1975-134985).

See https://www4.j-platpat.inpit.go.jp/eng/tokujitsu/tkbs_en/TKBS_EN_GM101_Top.action

Japanese Patent 1975-134985

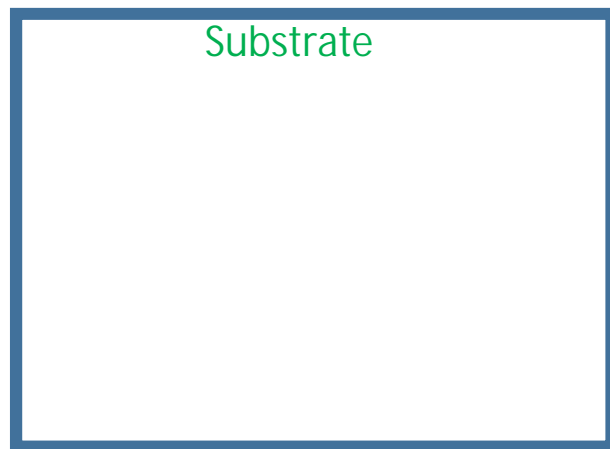
filed on Nov. 11, 1975

(11) Publication number	52-058414	(21) Application number	50-134985
(43) Date of publication of application	13.05.1977	(22) Date of filing	20.11.1975
(51) Int.Cl.	H04N 5/30	(71) Applicant	SONY CORP
(54) SOLID PICKUP EQUIPMENT	H01L 31/00	(72) Inventor	HAGIWARA YOSHIAKI

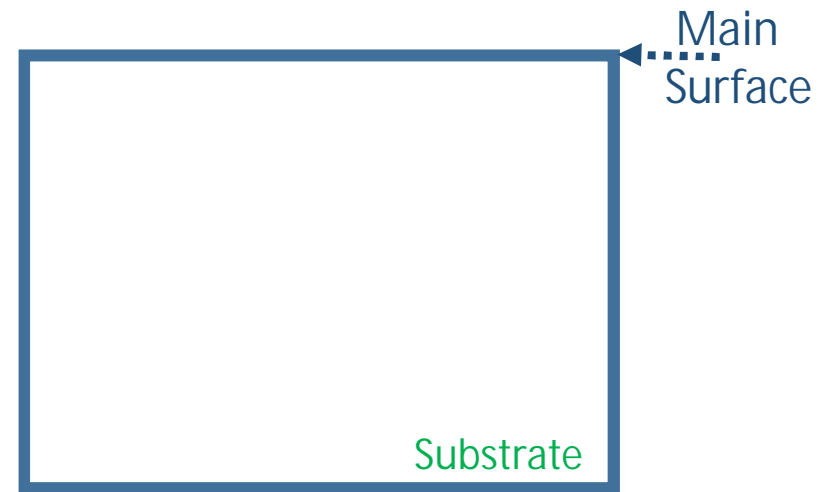
Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(1) In the semiconductor substrate (Sub)



Case(1) Front Light Illumination



Case(2) Back Light Illumination

See https://www4.j-platpat.inpit.go.jp/eng/tokujitsu/tkbs_en/TKBS_EN_GM101_Top.action

Japanese Patent 1975-134985

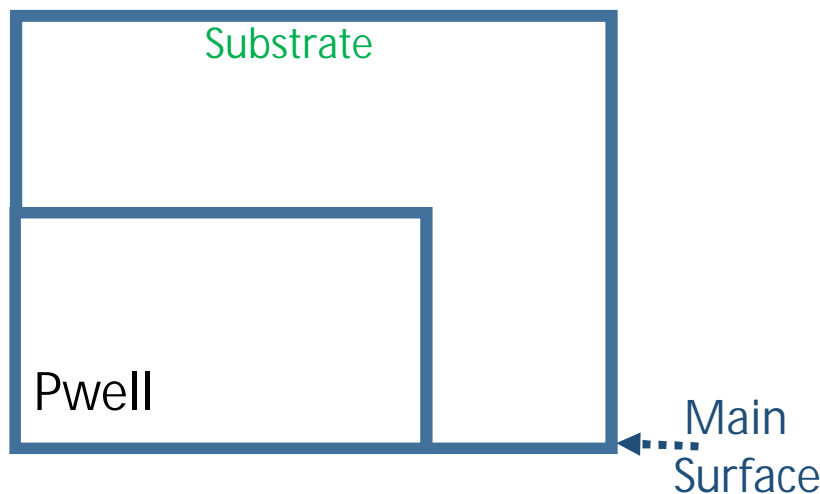
filed on Nov. 11, 1975

(11) Publication number	52-058414	(21) Application number	50-134985
(43) Date of publication of application	13.05.1977	(22) Date of filing	20.11.1975
(51) Int.Cl.	H04N 5/30	(71) Applicant	SONY CORP
(54) SOLID PICKUP EQUIPMENT	H01L 31/00	(72) Inventor	HAGIWARA YOSHIAKI

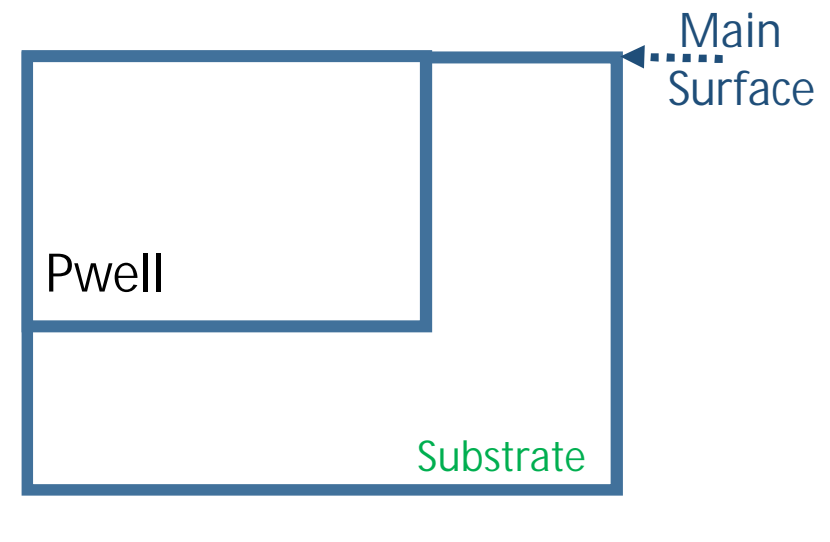
Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(2) the first region (Pwell) is formed



Case(1) Front Light Illumination



Case(2) Back Light Illumination

See https://www4.j-platpat.inpit.go.jp/eng/tokujitsu/tkbs_en/TKBS_EN_GM101_Top.action

Japanese Patent 1975-134985

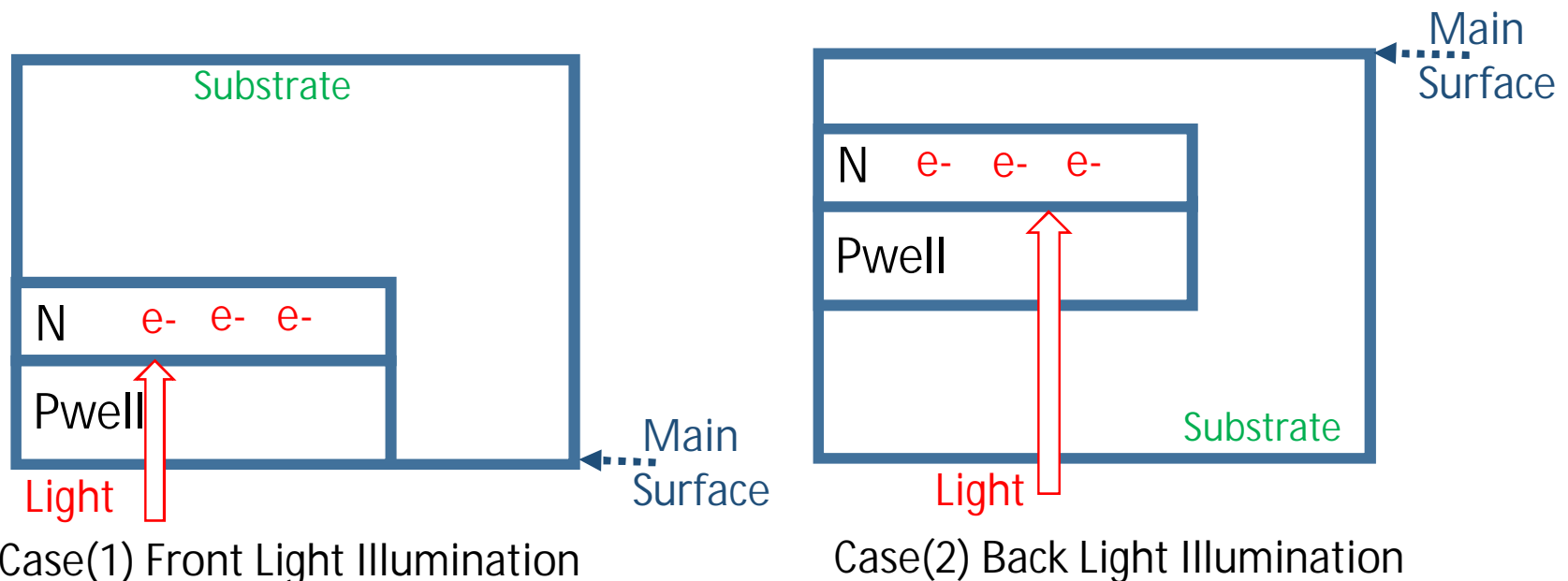
filed on Nov. 11, 1975

(11) Publication number	52-058414	(21) Application number	50-134985
(43) Date of publication of application	13.05.1977	(22) Date of filing	20.11.1975
(51) Int.Cl.	H04N 5/30	(71) Applicant	SONY CORP
(54) SOLID PICKUP EQUIPMENT	H01L 31/00	(72) Inventor	HAGIWARA YOSHIAKI

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

- (3) And the second region (N) is formed upon on the first region (Pwell),
(4) forming the photo sensing part (N/Pwell).



See https://www4.j-platpat.inpit.go.jp/eng/tokujitsu/tkbs_en/TKBS_EN_GM101_Top.action

Japanese Patent 1975-134985

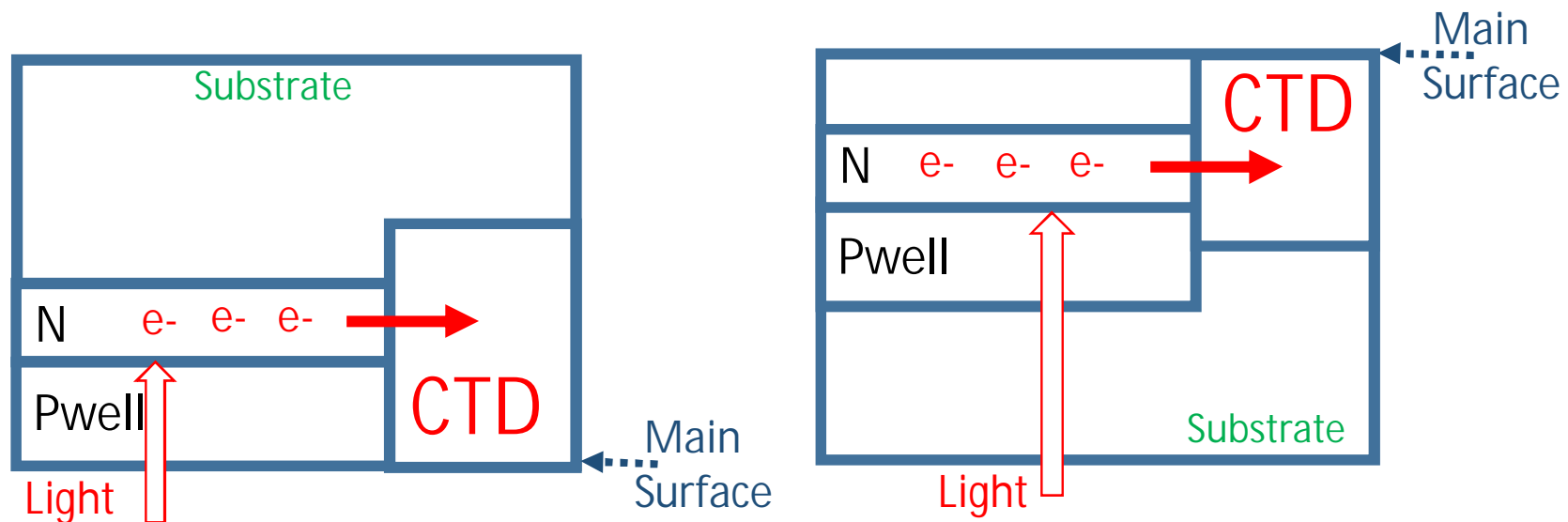
filed on Nov. 11, 1975

(11) Publication number	52-058414	(21) Application number	50-134985
(43) Date of publication of application	13.05.1977	(22) Date of filing	20.11.1975
(51) Int.Cl.	H04N 5/30	(71) Applicant	SONY CORP
(54) SOLID PICKUP EQUIPMENT	H01L 31/00	(72) Inventor	HAGIWARA YOSHIAKI

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

- (5) The charge (e-) from this (N) is transferred to the adjacent charge transfer device (CTD),
(6) which is formed along the main surface of the substrate.



Case(1) Front Light Illumination

Case(2) Back Light Illumination

Japanese Patent 1975-134985

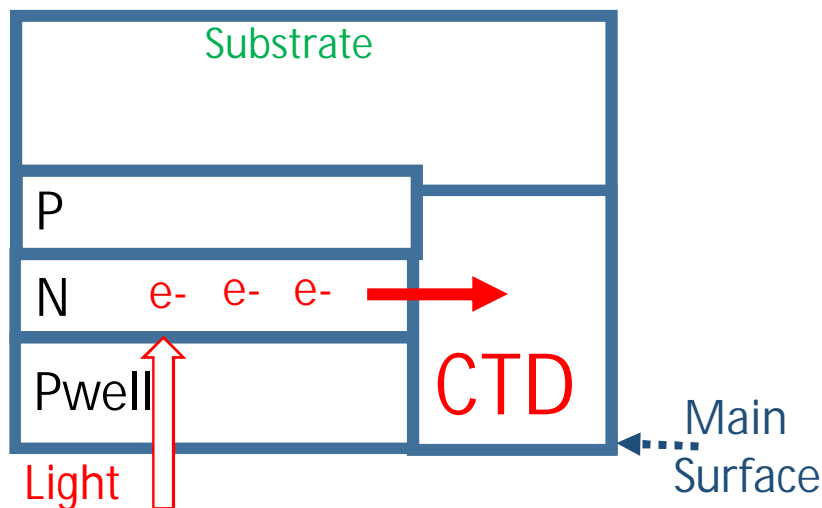
filed on Nov. 11, 1975

(11) Publication number	52-058414	(21) Application number	50-134985
(43) Date of publication of application	13.05.1977	(22) Date of filing	20.11.1975
(51) Int.Cl.	H04N 5/30	(71) Applicant	SONY CORP
(54) SOLID PICKUP EQUIPMENT	H01L 31/00	(72) Inventor	HAGIWARA YOSHIAKI

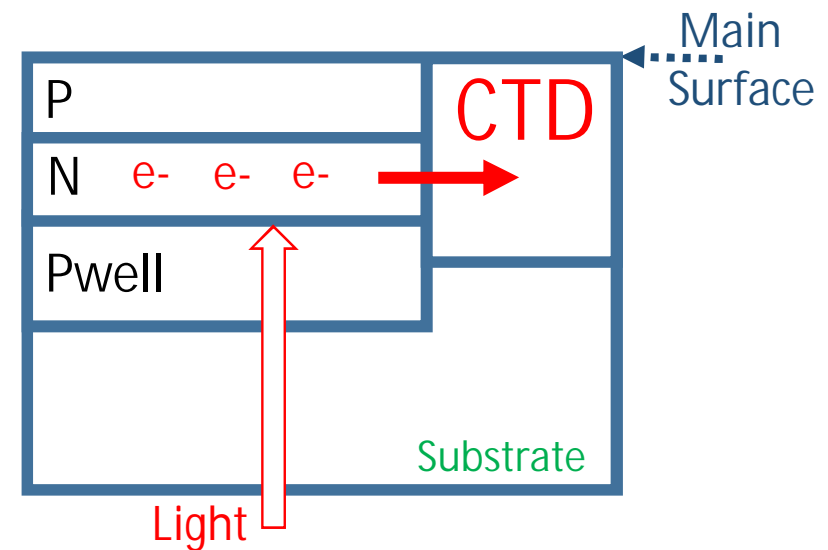
Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

- (7) In the so-defined image sensing device,
- (8) on the second region (N) of the photo sensing part (N/Pwell),
- (9) a rectifying junction (P/N) is formed.



Case(1) Front Light Illumination



Case(2) Back Light Illumination

Japanese Patent 1975-134985

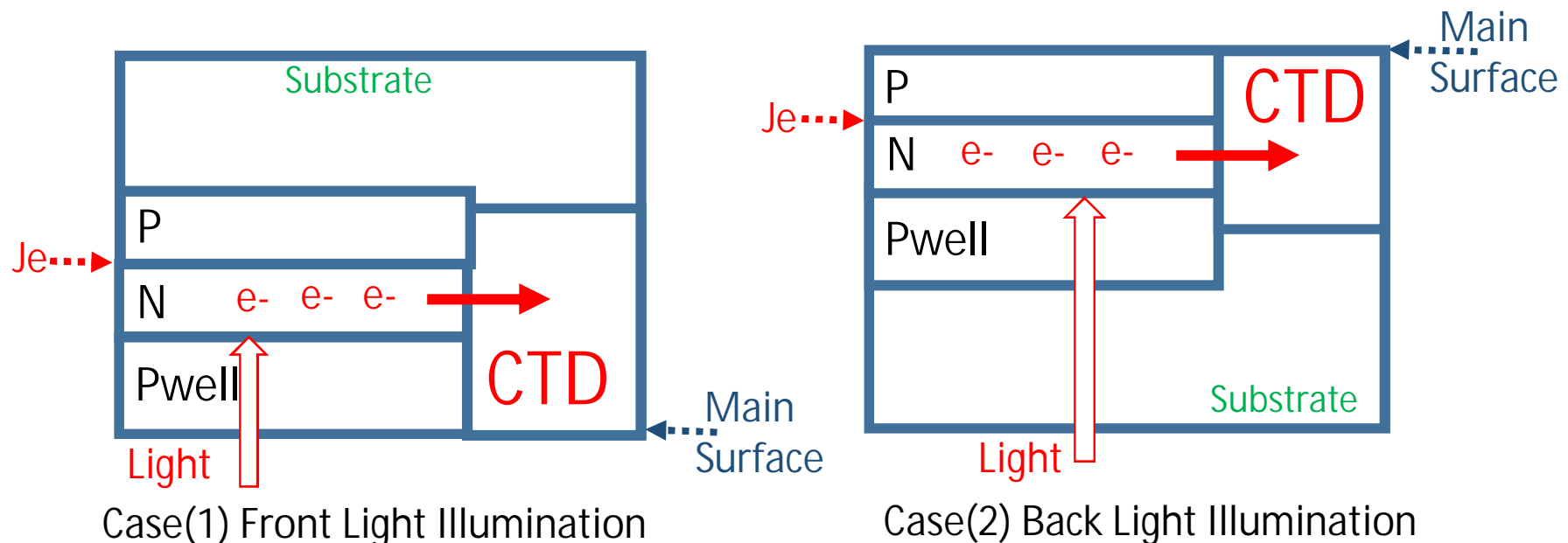
filed on Nov. 11, 1975

(11) Publication number	52-058414	(21) Application number	50-134985
(43) Date of publication of application	13.05.1977	(22) Date of filing	20.11.1975
(51) Int.Cl.	H04N 5/30	(71) Applicant	SONY CORP
(54) SOLID PICKUP EQUIPMENT	H01L 31/00	(72) Inventor	HAGIWARA YOSHIAKI

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(10) Let this junction(PN) be called an emitter junction (Je).



See https://www4.j-platpat.inpit.go.jp/eng/tokujitsu/tkbs_en/TKBS_EN_GM101_Top.action

Japanese Patent 1975-134985

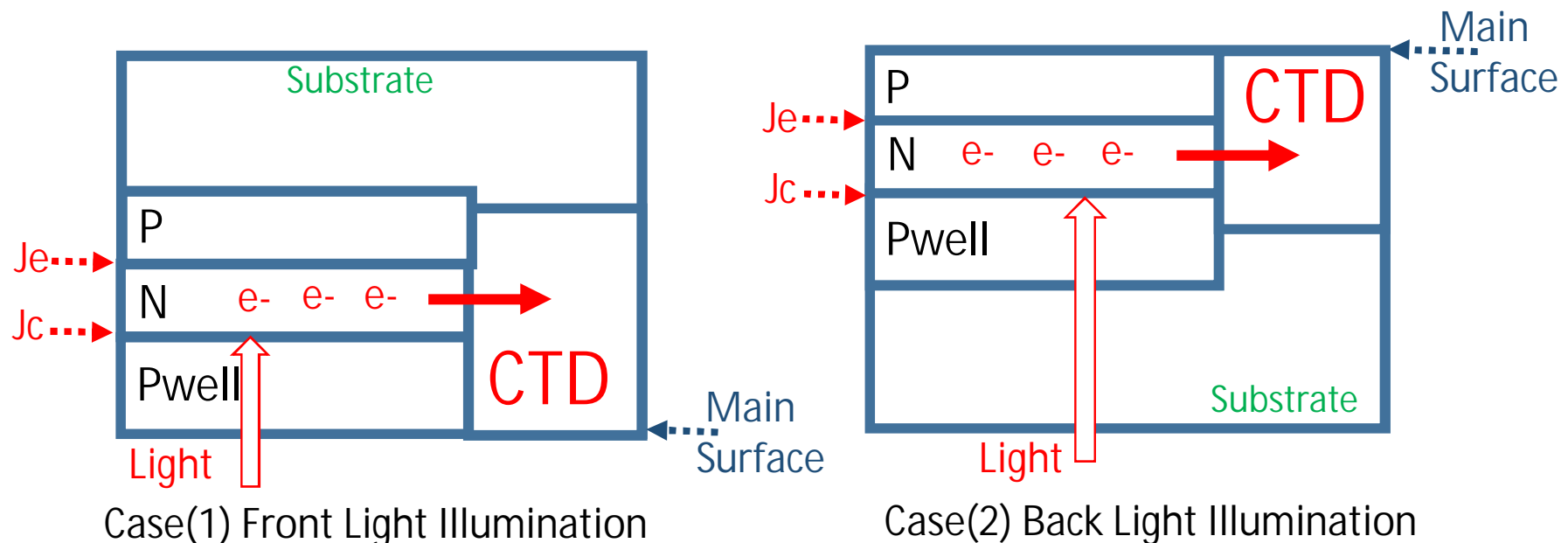
filed on Nov. 11, 1975

(11) Publication number	52-058414	(21) Application number	50-134985
(43) Date of publication of application	13.05.1977	(22) Date of filing	20.11.1975
(51) Int.Cl.	H04N 5/30	(71) Applicant	SONY CORP
(54) SOLID PICKUP EQUIPMENT	H01L 31/00	(72) Inventor	HAGIWARA YOSHIAKI

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

- (11) Let the junction between the first region(Pwell) and the second region (N)
(12) be called as the collector junction (Jc) forming a transistor (P/N/Pwell).



Japanese Patent 1975-134985

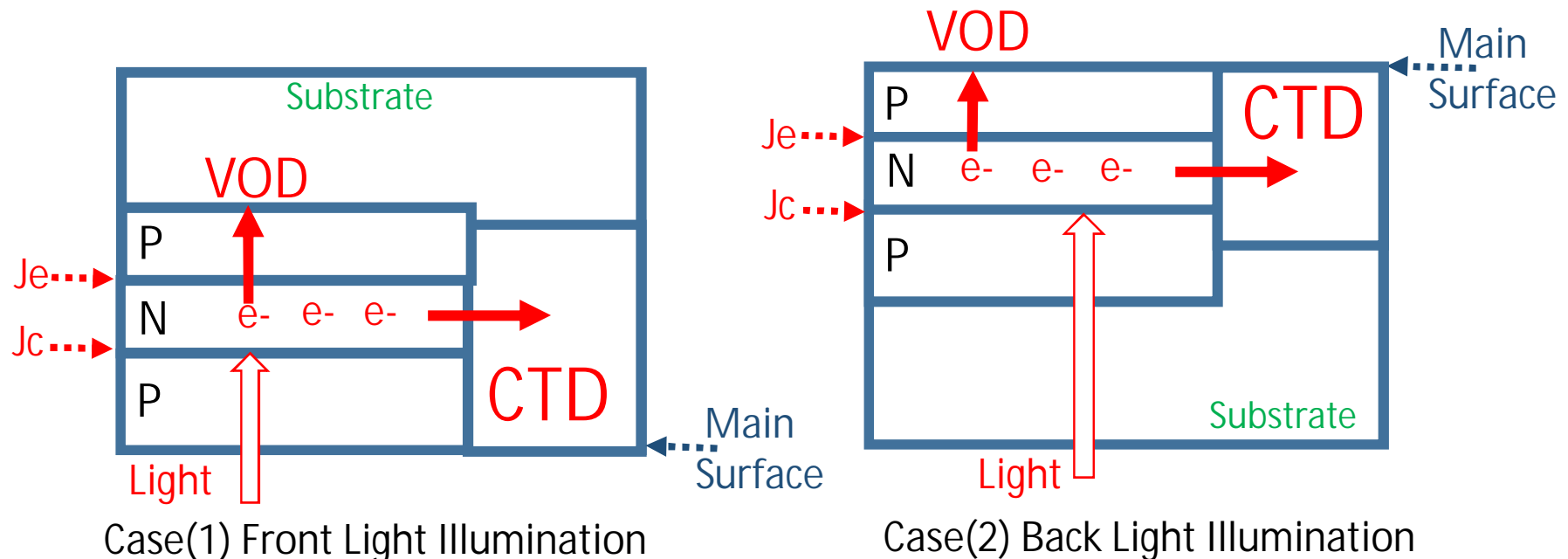
filed on Nov. 11, 1975

(11) Publication number	52-058414	(21) Application number	50-134985
(43) Date of publication of application	13.05.1977	(22) Date of filing	20.11.1975
(51) Int.Cl.	H04N 5/30	(71) Applicant	SONY CORP
(54) SOLID PICKUP EQUIPMENT	H01L 31/00	(72) Inventor	HAGIWARA YOSHIAKI

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

- (13) In the second region (N) , which is the base of the said transistor (P/N/Pwell),
(14) according to the optical image, the electronic charge (e-) is stored.
(15) The electronic charge , stored in here(N) , is transferred to the said CTD.
(16) So defined structure is in the scope of this patent (1975-134985).



Pinned Photodiode Patent 1975

Japanese Patent of SONY HAD sensor

by Yoshiaki Hagiwara at Sony

See Patent 1975-134985 (November 10, 1975)

Hole Accumulation Diode (HAD)

Sony Original
HAD Sensor
Japanese Patent

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

Fig. 6A

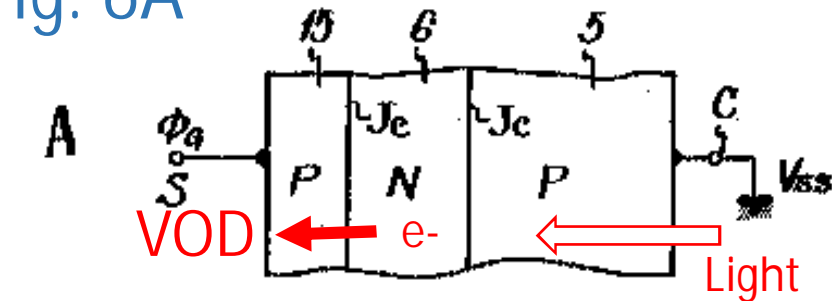
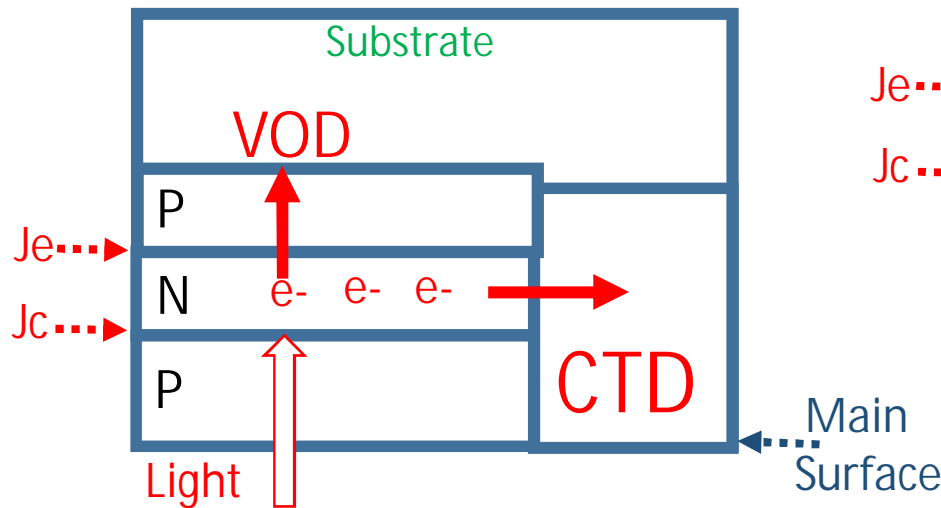
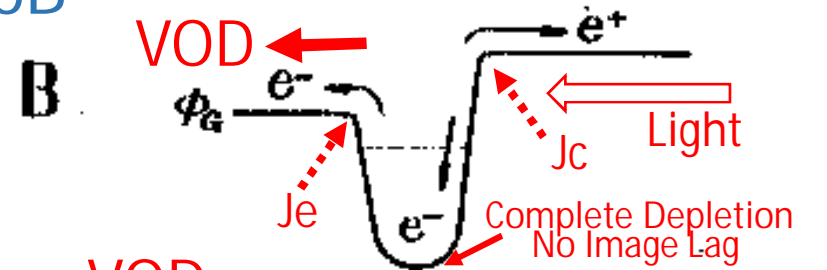
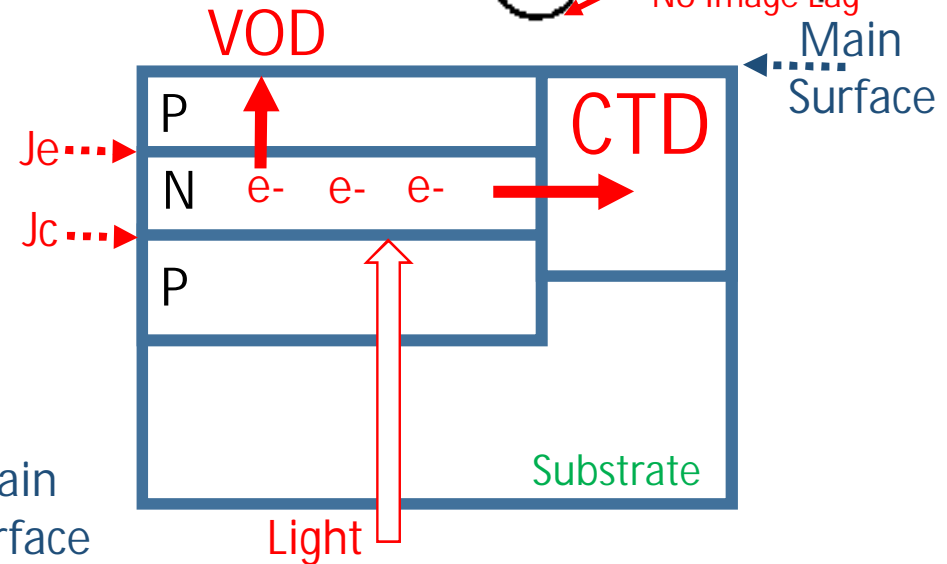


Fig. 6B



Case(1) Front Light Illumination



Case(2) Back Light Illumination

See https://www4.j-platpat.inpit.go.jp/eng/tokujitsu/tkbs_en/TKBS_EN_GM101_Top.action

Japanese Patent 1975-134985

filed on Nov. 11, 1975

(11) Publication number	52-058414	(21) Application number	50-134985
(43) Date of publication of application	13.05.1977	(22) Date of filing	20.11.1975
(51) Int.Cl.	H04N 5/30	(71) Applicant	SONY CORP
(54) SOLID PICKUP EQUIPMENT	H01L 31/00	(72) Inventor	HAGIWARA YOSHIAKI

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

- (1) In the semiconductor substrate (Sub)
- (2) the first region (Pwell) is formed.
- (3) And the second region (N) is formed upon on the first region (Pwell),
- (4) forming the photo sensing part (N/Pwell).
- (5) The charge (e-) from this (N) is transferred to the adjacent charge transfer device (CTD),
- (6) which is formed along the main surface of the substrate.
- (7) In the so-defined image sensing device,
- (8) on the second region (N) of the photo sensing part (N/Pwell),
- (9) a rectifying junction (P/N) is formed.
- (10) Let this junction(PN) be called an emitter junction (Je).
- (11) Let the junction between the first region(Pwell) and the second region (N)
- (12) be called as the collector junction (Jc) forming a transistor (P/N/Pwell).
- (13) In the second region (N) , which is the base of the said transistor (P/N/Pwell),
- (14) according to the optical image, the electronic charge (e-) is stored.
- (15) The electronic charge , stored in here(N) , is transferred to the said CTD.
- (16) So defined structure is in the scope of this patent (1975-134985).

See https://www4.j-platpat.inpit.go.jp/eng/tokujitsu/tkbs_en/TKBS_EN_GM101_Top.action

Japanese Patent 1975-134985

filed on Nov. 11, 1975

(11) Publication number	52-058414	(21) Application number	50-134985
(43) Date of publication of application	13.05.1977	(22) Date of filing	20.11.1975
(51) Int.Cl.	H04N 5/30	(71) Applicant	SONY CORP
(54) SOLID PICKUP EQUIPMENT	H01L 31/00	(72) Inventor	HAGIWARA YOSHIAKI

Fig. 6A

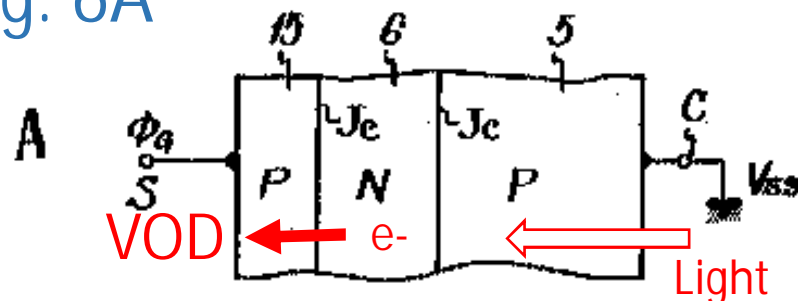
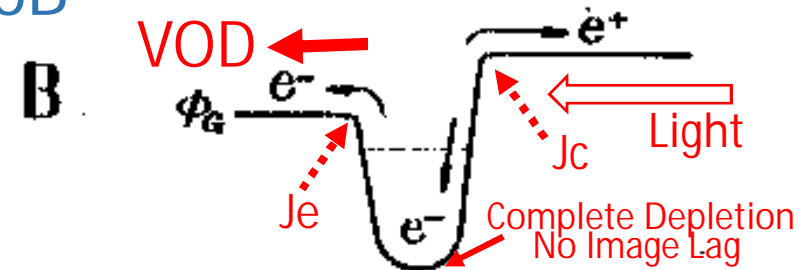


Fig. 6B



特許請求範囲

Patent Claims in Japanese

半導体基体に、第1電導型の第1半導体領域と、之の上に形成された第2導電型の第2半導体領域とが形成されて光感知部と之よりの電荷を転送する電荷転送部とが上記半導体基体の主面に沿う如く配置されて成る固体撮像装置に於いて、上記光感知部の上記第2半導体領域に整流性接合が形成され、該接合をエミッタ接合とし、上記第1及び第2半導体領域間の接合をコレクタ接合とするトランジスタを形成し、該トランジスタのベースとなる上記第2半導体領域に光学像に応じた電荷を蓄積し、ここに蓄積された電荷を上記転送部に移行させて、その転送を行うようにしたことを特徴とする固体撮像装置。

Pinned Photodiode

defined in Japanese Patent 1975-134985

invented by Yoshiaki Hagiwara at Sony on November 10, 1975

特許請求範囲 Patent Claims in Japanese

- (1) 半導体基体(Sub)に
- (2) 第1電導型の第1半導体領域(P)と
- (3) この上(P)に形成された第2電導型の第2半導体領域(N)
- (4) とが形成されて光感知部(NP)と
- (5) これ(N)よりの電荷を転送する電荷転送部(CTD)とが
- (6) 上記半導体基体の主面に沿う如く配置されて成る
- (7) 固体撮像装置に於いて
- (8) 上記光感知部(NP)の上記第2半導体領域(N)に
- (9) 整流性接合(PN)が形成され、
- (10) 該接合(PN)をエミッタ接合(Je)とし、
- (11) 上記第1(P)及び第2半導体(N)間の接合を
- (12) コレクター(Jc)とするトランジスタ(PNP)が形成し、
- (13) 該トランジスタ(PNP)のベースとなる上記第2半導体領域(N)に
- (14) 光学像に応じた電荷を蓄積し、
- (15) ここに蓄積された電荷を上記転送部(CTD)に移行させて、
- (16) その転送を行うようにしたことを
- (17) 特徴とする固体撮像装置

See JP 1975-134985

Pinned Photodiode (Sony HAD) Sensor

defined in the Japanese Patent 1975-134985 by Hagiwara at Sony

File 1975-134985 1975/11/10
Public 1975-058414 1975/05/13
Grant 1983/10/19

See JP 1975-134985

発明の名称 固体撮像装置

特許請求の範囲

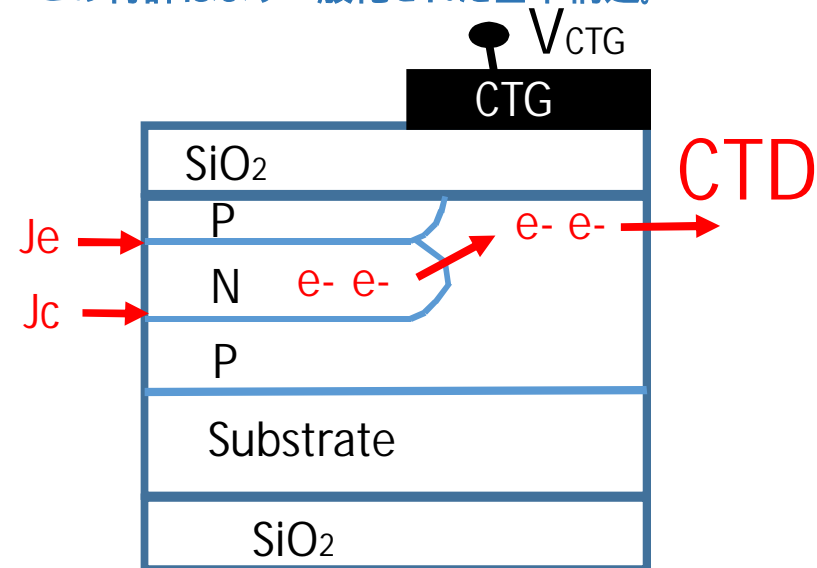
Patent Claims

半導体基体に、第1電導型の第1半導体領域と、之の上に形成された第2導電型の第2半導体領域とが形成されて光感知部と之よりの電荷を転送する電荷転送部とが上記半導体基体の主面に沿う如く配置されて成る固体撮像装置に於いて、上記光感知部の上記第2半導体領域に整流性接合が形成され、該接合をエミッタ接合とし、上記第1及び第2半導体領域間の接合をコレクタ接合とするトランジスタを形成し、該トランジスタのベースとなる上記第2半導体領域に光学像に応じた電荷を蓄積し、ここに蓄積された電荷を上記転送部に移行させて、その転送を行うようにしたことを特徴とする固体撮像装置。

Pinned Photodiode (SONY HAD) Basic Patent with a built-in vertical overflow drain (VOD) by PNP/Substrate junction type transistor with many types of operational modes.

No metal contact is described in the patent claim. A metal contact is an optional one.

特許請求範囲に示された構造には金属コンタクトの存在はない。この特許はより一般化された基本構造。



P-well (第1電導型の第1半導体領域)

Japanese Patent of SONY HAD sensor
by Yoshiaki Hagiwara at Sony
Patent 1975-134985 (November 10, 1975)

Sony Original
HAD Sensor
Patent

Hole Accumulation Diode (HAD)

⑨ 日本国特許庁 (JP) ⑩ 特許出願公告

⑫ 特 許 公 報 (B 2) 昭58-46905

⑮ Int.Cl.³ 識別記号 庁内整理番号 ⑭公告 昭和58年(1983)10月19日
H 04 N 5/30 6940-5C
H 01 L 27/14 6819-5F 発明の数 1

See JP 1975-134985

(全4頁)

1	2
⑮ 固体撮像装置	<p>像装置は、第1図に示すように、夫々絵案となる光感知部(センサー部)1が行(水平)及び列(垂直)方向に夫々複数個配列され、共通の列上の光感知部1に関し、共通の垂直シフトレジスタ2が設けられている。この垂直シフトレジスタ2はCCDよりなり、その電荷転送部が、対応する列上の光感知部1に夫々隣合つて設けられる。又、各シフトレジスタ2の一端(第1図に於いて下端)には水平シフトレジスタ3が設けられ、撮像光学像に応じて各光感知部1に生じた電荷を、例えばテレビジョン映像に於いては、その掃線消去期間に於いて垂直シフトレジスタ2の各転送部に転送し、このシフトレジスタ2によつてこの電荷を垂直方向に順次シフトして水平シフトレジスタ3に転送し、更にこの水平シフトレジスタによつて各</p>
<p>⑮ 特 願 昭50-134985 ⑯ 出 願 昭50(1975)11月10日 ⑰ 公 開 昭52-58414 ⑱ 昭52(1977)5月13日</p>	
<p>⑲ 発 明 者 萩原 良昭 横浜市保土ヶ谷区狩場町 303 の 159 狩場台アパート 402 号室</p> <p>⑳ 出 願 人 ソニー株式会社 東京都品川区北品川 6 丁目 7 番35 号</p>	
<p>㉑ 代 理 人 弁理士 伊藤 貞</p>	
<p>㉒ 特許請求の範囲</p>	

⑥特許請求の範囲

Patent Claims

1 半導体基体に、第1導電型の第1半導体領域と、之の上に形成された第2導電型の第2半導体領域とが形成されて光感知部と之よりの電荷を転送する電荷転送部とが上記半導体基体の主面に沿う如く配置されて成る固体撮像装置に於いて、上記光感知部の上記第2半導体領域に整流性接合が形成され、該接合をエミッタ接合とし、上記第1及び第2半導体領域間の接合をコレクタ接合とするトランジスタを形成し、該トランジスタのベースとなる上記第2半導体領域に光学像に応じた電荷を蓄積し、ここに蓄積された電荷を上記転送部に移行させて、その転送を行うようにしたことを特徴とする固体撮像装置。

発明の詳細な説明

本発明は電荷転送素子(CCD)、特に埋込みチャンネル型CCDを用いた固体撮像装置に係わる。

CCDを用いた固体撮像装置としてはフレームトランスファ方式によるもの、或いはインターライトランスファ方式によるものが提案されている。

インターライトランスファ方式による固体撮

15 転送し、更にこの水平シフトレジスタによつて各行の絵素に関する電荷を水平方向にシフトして出力端子tよりこの電荷に応じた撮像信号を得るようになされている。

20 1とこれに隣合う垂直シフトレジスタ2の転送部の構造を第2図及び第3図に示す。この例に於いては埋込みチャンネル型CCD構成とした場合で、この場合、半導体基体4に、第1の導電型例えばP型半導体領域5と、これの上に基体4の一主面4aに臨んで第2の導電型例えばN型の半導体領域6とが設けられ、主面4aに沿つて光感知部1とこれに隣合つてシフトレジスタ2の各転送部7が設けられてなる。8は領域5と同導電型のチャンネルストツパー領域で、各感知部1間、及び各シフトレジスタ2間を互に分離するものであり、9は領域6と同導電型を有するもこれより低い不純物濃度を有し、光感知部1とこれに隣合うシフトレジスタ2との間に設けられて両者間に電位障壁を形成する為の領域である。

35 光感知部1及び転送部7上の、主面4a上には例えばSiO₂より成る絶縁膜10が被着される。そして、これの上に各シフトレジスタ2に対し、

その共通の行上の転送部に関して共通に転送電極 11 が延長被着され、この電極 11 上には同様に例えば SiO_2 より成る絶縁膜 12 が被着され、これの上に跨いで特に光感知部 1 上を含んでいわゆるセンサー電極 13 が被着される。この電極 13 は光透過性を有するネサ、或いは不純物が高濃度をもつてドーパされて導電性が付与された多結晶シリコン層より構成される。

このような構成による固体撮像装置の光感知部 1 に対する光は少なくとも電極 13 とこれの下

の絶縁膜 10 を通じて与えるので、特に短波長側における感度が低くなる欠点がある。

本発明は上述した欠点を改善した固体撮像装置を提供せんとするものである。

第 4 図及び第 5 図を参照して本発明を説明する。15 之等第 4 図、第 5 図に於いて、第 2 図及び第 3 図と対応する部分には同一符号を付して重複説明を省略する。

本発明に於いては、光感知部 1 上の少なくとも受光領域上の絶縁膜 10 及び 12 を除去し、窓 14 を形成すると共に、光感知部 1 の半導体領域 6 上に主面 4 a に臨んで整流性接合 J_e を形成す

固定電位、即ち例えば接地電位を与える。一方、受光期間即ちシフトレジスタ 2 に於ける転送期間中にエミッタ領域 15 即ちセンサー電極 16 の端子 S には、接合 J_e に逆バイアスを与える所定の負の電位 ϕ_G を与える。

斯くすると第 6 図 A に示す PNP トランジスタの断面に於ける電位分布は、第 6 図 B に示す如くなり、撮像光学像による光照射によつて生じたキャリア即ちホール及び電子のうちホール e^+ は端子 C 側に流れて消滅するが、電子 e^- はベース領域 6 に蓄積される。この場合、或る量以上の電荷 e^- が蓄積されると接合 J_e が順バイアスとなり、この或る量以上の電荷即ち電子はエミッタ側にオーバーフローする。

そして、この光感知部 1 のベース領域 6 に蓄積された電荷を例えば帰線消去期間に於いてシフトレジスタ 2 の転送部 7 に転送する。この転送は、通常の如くセンサー電極 16 に対し転送電極 11 に所要の負の電位を与えることによつて転送部 7 にポテンシャル井戸を形成してその転送を行う。その後はこのシフトレジスタ 2 に於いて第 1 図に説明したように各転送部 7 の電荷を垂直方向に順

14を形成すると共に、光感知部1の半導体領域6上に主面4aに臨んで整流性接合 J_e を形成する。この接合 J_e は例えば第4図に示す如く領域6と異なる導電型即ちP型の不純物がドーブされた多結晶シリコン層より成る領域15を窓14を通じて光感知部1の半導体層6上に被着生成させてPN接合を形成するようになすこともできるし、或いは第5図に示す如く光感知部1の半導体領域6上に選択的に領域6と異なる導電型の不純物を例えばイオン注入法或いは拡散法によつてドーブし、P型の領域15を形成して接合 J_e を形成するようになすこともできる。第5図に於いて16は領域15の一部にオーミックに被着した電極即ちセンサー電極で、第4図の例では領域15自体をいわばセンサー電極とした場合である。

斯くして光感知部1に、接合 J_e をエミッタ接合とし、半導体領域5及び6間に形成されるPN接合 J_c をコレクタ接合とするトランジスタ、即ち領域15、6及び5を夫々エミッタ、ベース及びコレクタの各領域とするPNPトランジスタを構成する。

このような構成に於いて、半導体領域5即ちシフトレジスタ2の基体領域となり前述のトランジスタのコレクタ領域となる領域5の端子Cに正の

その後はこのシフトレジスタ2に於いて第1図に説明したように各転送部7の電荷を垂直方向に順次シフトさせる。このシフトは通常の如く転送電極11にクロック電圧を与えて行う。そしてこの間、即ち転送期間中に前述したと同様に撮像光学像による受光をなす。

上述の本発明装置によれば、その光感知部1を構成するトランジスタのエミッタ領域15に於いて直接的に受光がなされるようになしたので、冒頭に述べたようにセンサー電極を構成する多結晶シリコンを通じて更にその下の絶縁膜を介して受光をなす場合の感度に比し特に短波長側の感度の向上を図ることができるものである。

更に本発明装置によれば、或る以上に生じた電荷をオーバーフローし得るものであるから従来のもののようにオーバーフロードレインを特設する必要がなく、更にセンサー電極に与える電位によつてオーバーフローの生じ始める電荷量を調整設定できる利益もある。

尚、接合 J_e としては種々の構成をとり得、ヘテロ接合、ショットキー障壁による構成をとることもできる。又、各部の導電型を図示とは逆導電型とするなど種々の変更をなし得ることは明らかであろう。

図面の簡単な説明

第1図は本発明の説明に供する固体撮像装置の構成図、第2図はその要部の拡大平面図、第3図はそのA-A線上断面図、第4図は本発明装置の一例の要部の拡大断面図、第5図は本発明装置の他の例の要部の拡大断面図、第6図は本発明装置

の動作の説明図である。

4は半導体基体、1は光感知部、2はソフトレジスタ、5及び6は半導体領域、8はチャンネルストツパー領域、9は障壁領域、15はエミッタ領域、16はセンサー電極、J_e及びJ_cは接合である。

Fig.1 Top View of Conventional Interline Transfer CCD Image Sensor

第1図

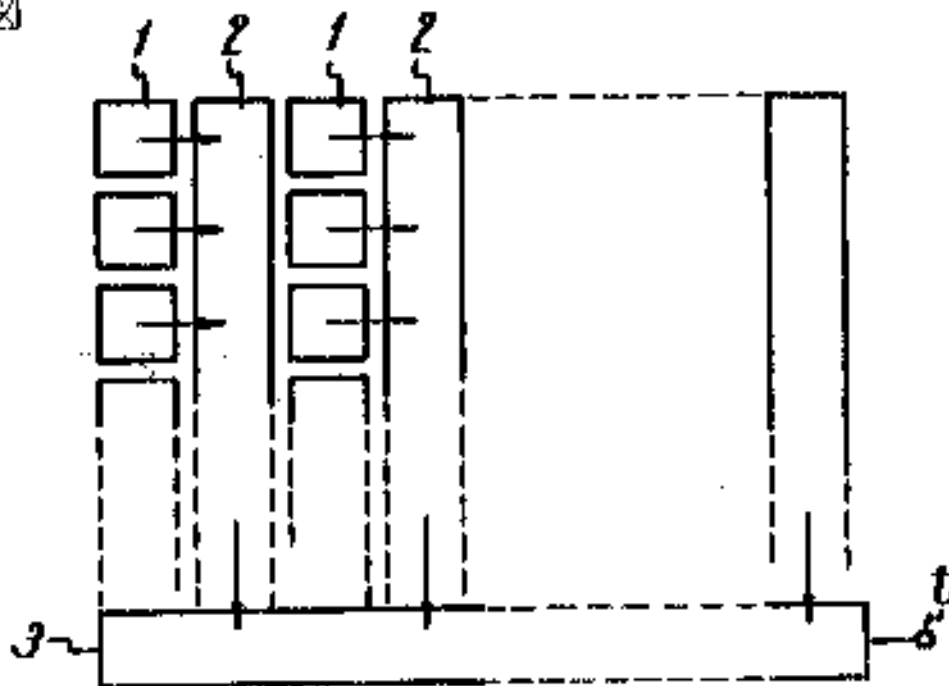


Fig.2 Top View of Conventional Interline Transfer CCD Image Sensor Pixel

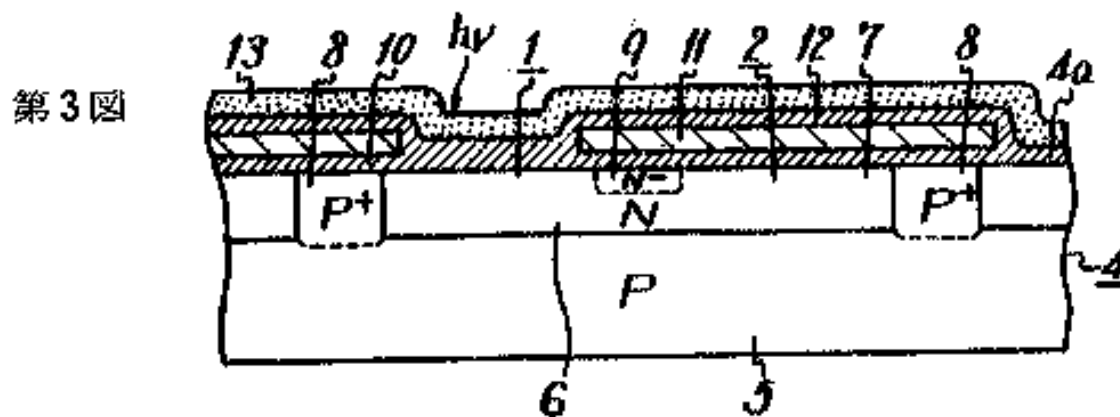
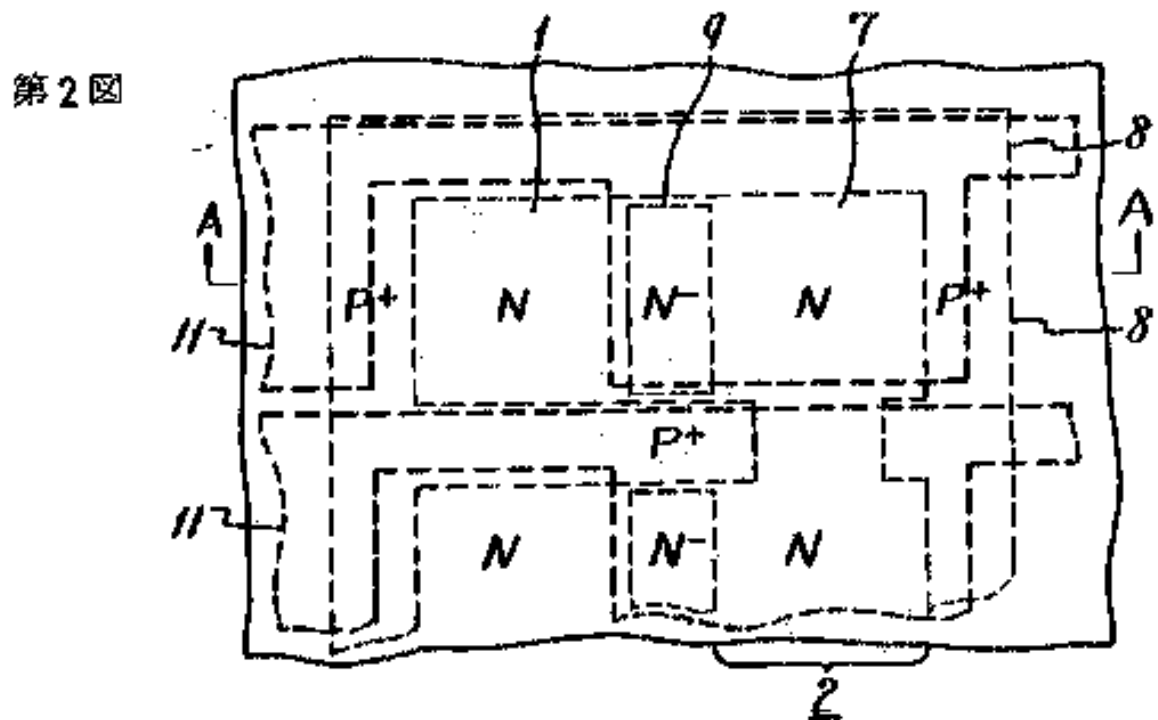


Fig.3 Conventional Buried Channel CCD type MOS Capacitor Photodiode Structure

Fig.4 Schottky Barrier type Photodiode

第4图

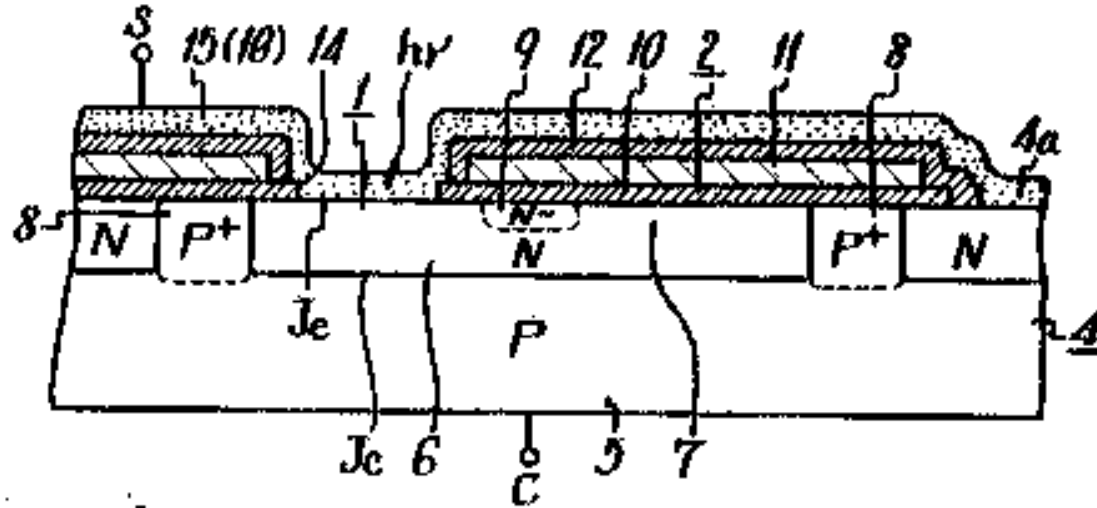
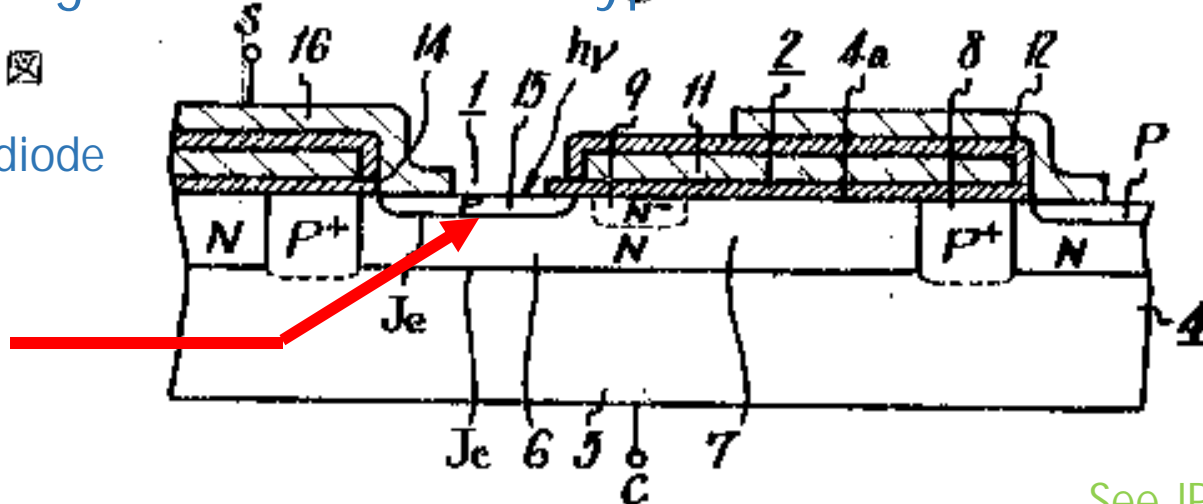
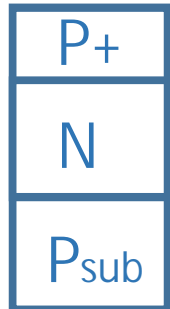


Fig.5 Pinned Surface type Photodiode

第5图

Pinned Photodiode



Japanese Patent of SONY HAD sensor
 by Yoshiaki Hagiwara at Sony
 Patent 1975-134985 (November 10, 1975)

Sony Original
 HAD Sensor
 Patent

Fig.6A

第6図

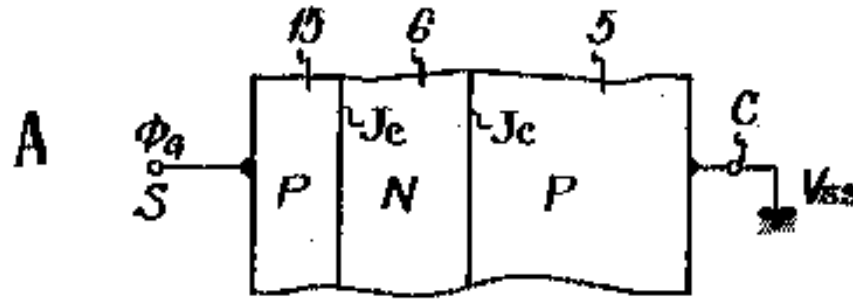
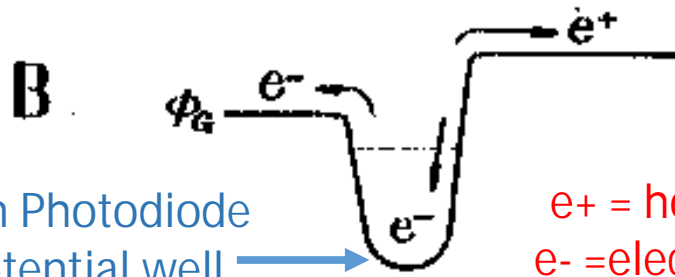


Fig.6B



Complete Depletion Photodiode
 with the empty potential well

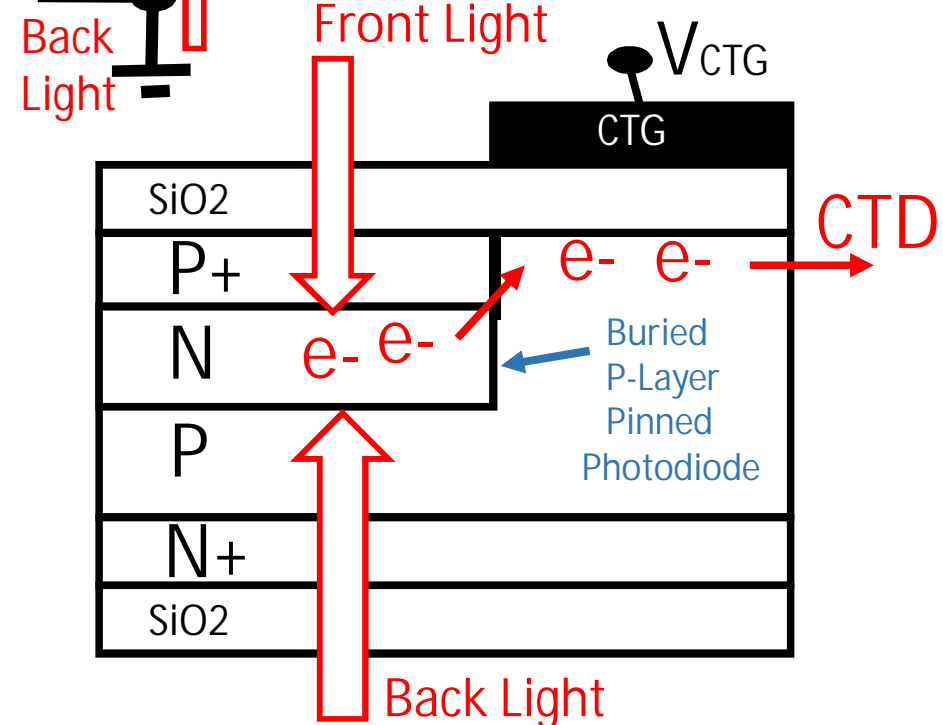
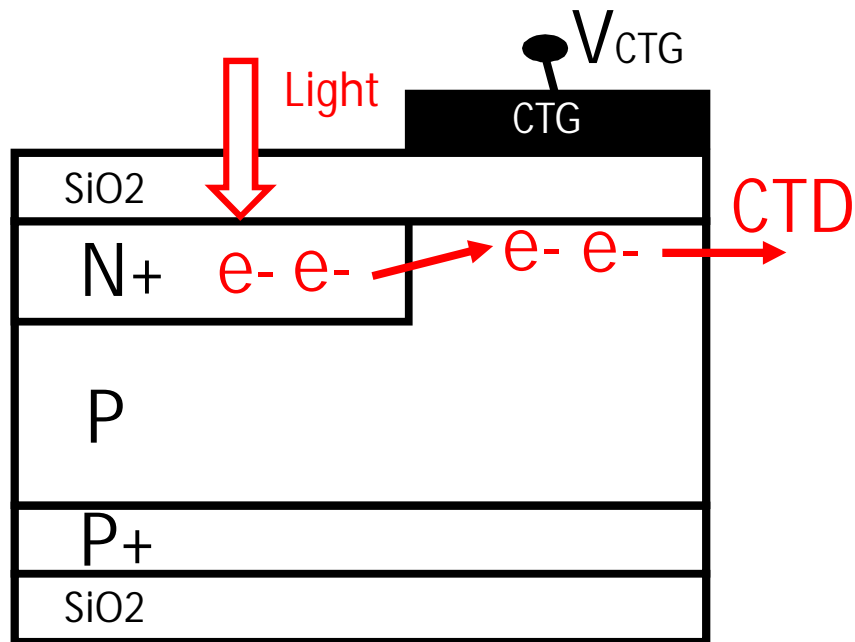
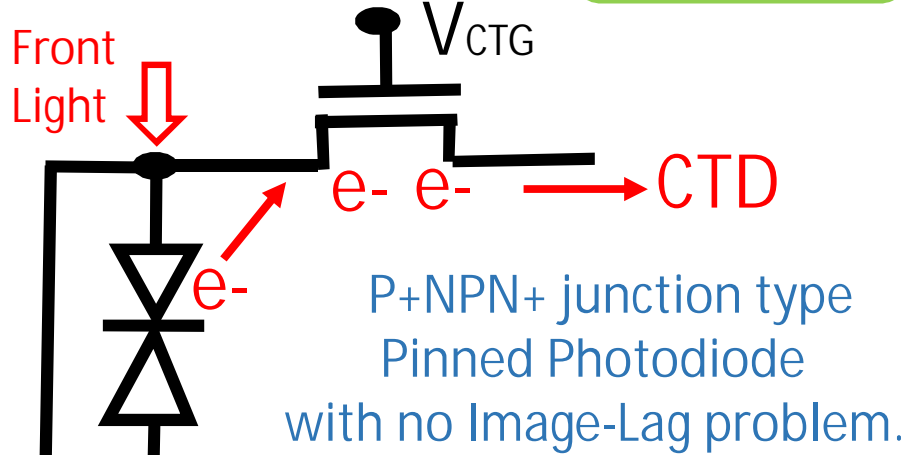
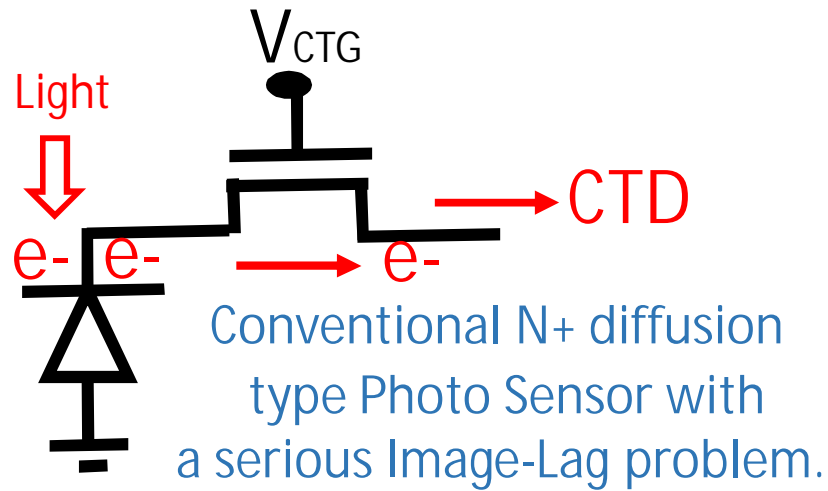
HAD = Hole Accumulation Diode

e+ = hole carrier with + electric charge
 e- = electron carrier with - electric charge

Pinned Photodiode is a PNP junction type light detecting device with the pinned surface Hole Accumulation Layer (P) with photo charge being stored in the center N base region. The photo charge is transferred to the adjacent charge transfer Device (CTD such as CCD or CMOS image sensor) in the complete depletion mode, resulting the empty potential well as seen in the Fig.6B above. In this application example the P region of the Je junction is used as the vertical overflow drain (VOD). It is obvious by symmetry the Jc junction also can be used as the vertical overflow drain (VOD).

Japanese Patent of SONY HAD sensor
 by Yoshiaki Hagiwara at Sony
 Patent 1975-134985 (November 10, 1975)

Sony Original
 HAD Sensor
 Patent



Pinned Photodiode Patent 1975

Japanese Patent of SONY HAD sensor

by Yoshiaki Hagiwara at Sony

See Patent 1975-134985 (November 10, 1975)

Sony Original
HAD Sensor
Japanese Patent

Hole Accumulation Diode (HAD)

Pinned Photo Diode (PNP/Sub junction type)

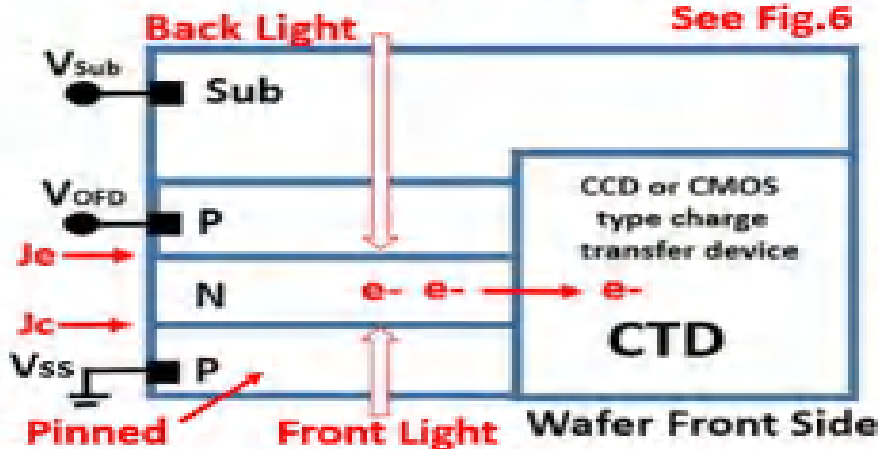
See Japanese Patent 1975-134985 by Hagiwara at Sony in 1975

with vertical overflow drain (VOD) function including back light illumination scheme

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

A Pinned Photo Diode defined in the Patent Claims

Structure defined for Upside-Down Wafer



The basic P/N/P/Sub junction (thyristor) type Photo Sensor can have various kinds of Vertical Overflow Drain(VOD) functions.

This patent structure can include both the back and front light illumination schemes.

Basic Sensor Structure defined in this Patent

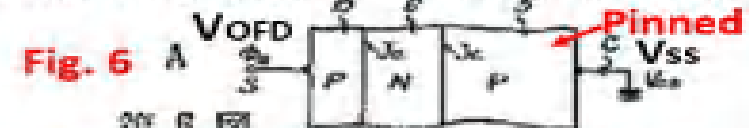


Fig. 6 A
B
e- = electron
e+ = hole
Complete Charge Transfer
Empty Potential Well with completely majority-carrier depleted base signal charge storage area.

Fig. 4 Example of VOD Schottky Barrier type Photo Diode in IT CCD sensor Application

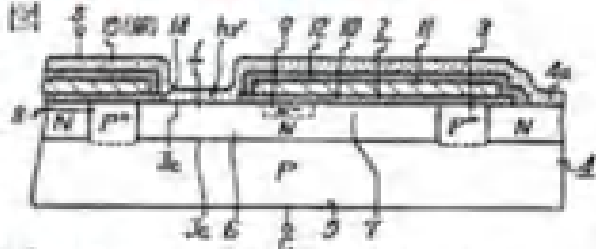


Fig. 5 Example of VOD P+NPsub Junction type Photo Diode in IT CCD sensor Application



Metal Contact is optional

Pinned Photodiode (Sony original HAD sensor) was invented by Hagiwara in 1975 at Sony

Yamada 1978 at Toshiba
Japanese Patent 1978-1971
NPN Junction Photodiode

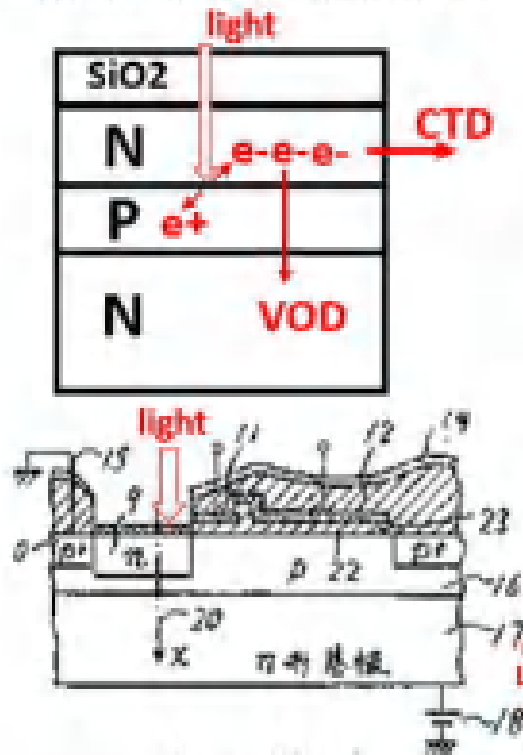


Figure 2C of
Toshiba Japanese Patent
1978-1971

Shiraki&Teranishi 1980 at NEC
Japanese Patent 1980- 123259
PNP Buried Photodiode

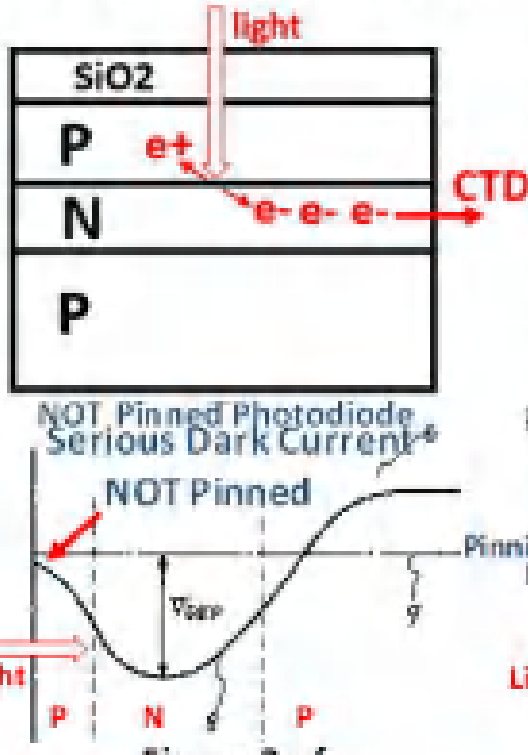


Figure 2 of
NEC Japanese Patent
1980-123259

Hagiwara 1975 at Sony
Japanese Patent 1975-134985
P+NP/Sub Pinned Photodiode

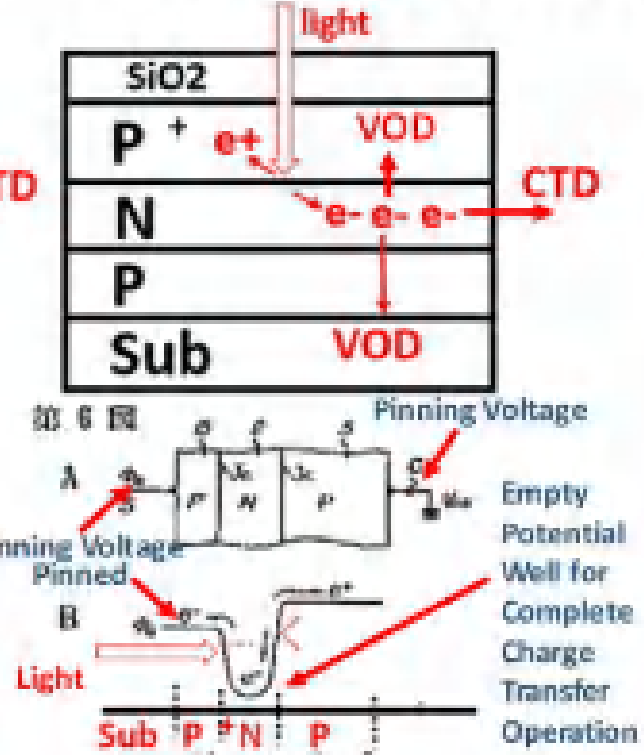


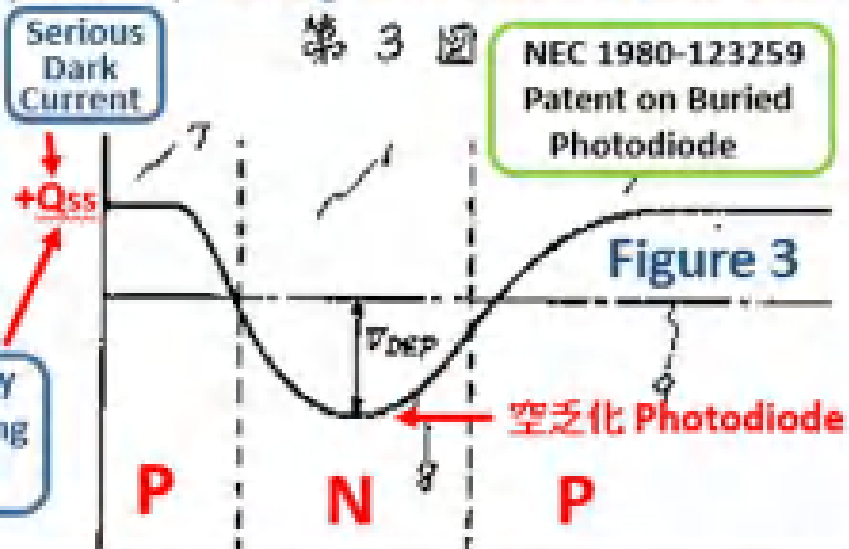
Figure 6 of
SONY Japanese Patent
1975-134985

NEC 1980 Japanese Patent is NOT Pinned Photodiode Patent !

The surface positive fixed charge ($+Q_{ss}$) is NOT quenched, causing serious surface electric field.

のチャネル部のフェルミ電位と異性フェルミ電位との差 V_{ch} は通常絶対値を用いるので、pチャネルでも絶対値を用いる。画板の内部の空乏化していない部分のフェルミ電位を基準としたトランスマグネットのチャネル電位はnチャネル型の場合とは逆であり、pチャネル型の場合は負なので、絶対値を用いる。

Surface is still lightly doped and still causing serious electric field

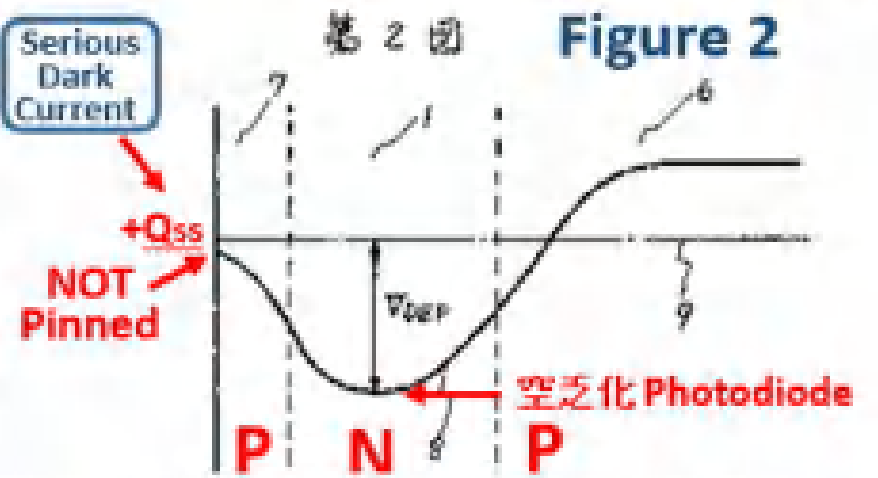


Both Figure 2 and 3 are Patent application examples.

図面の簡単な説明

第1図は固体画像装置の模式的断面図、第2図と第3図はこの発明のそれぞれ異なる実施例において、画板領域を光線と垂直方向に見たときの電位分布を示した図である。

1……導電基板、2……埋込電荷転送層（画板ICDレシスタ）、3……トランスマグネット、4……画板、5……表面層、6……画板の内部の空乏化していない部分のフェルミ電位、 V_{dep} ……画板領域が完全に空乏化するのに必要な画板と導電基板との間の逆バイアス電圧。



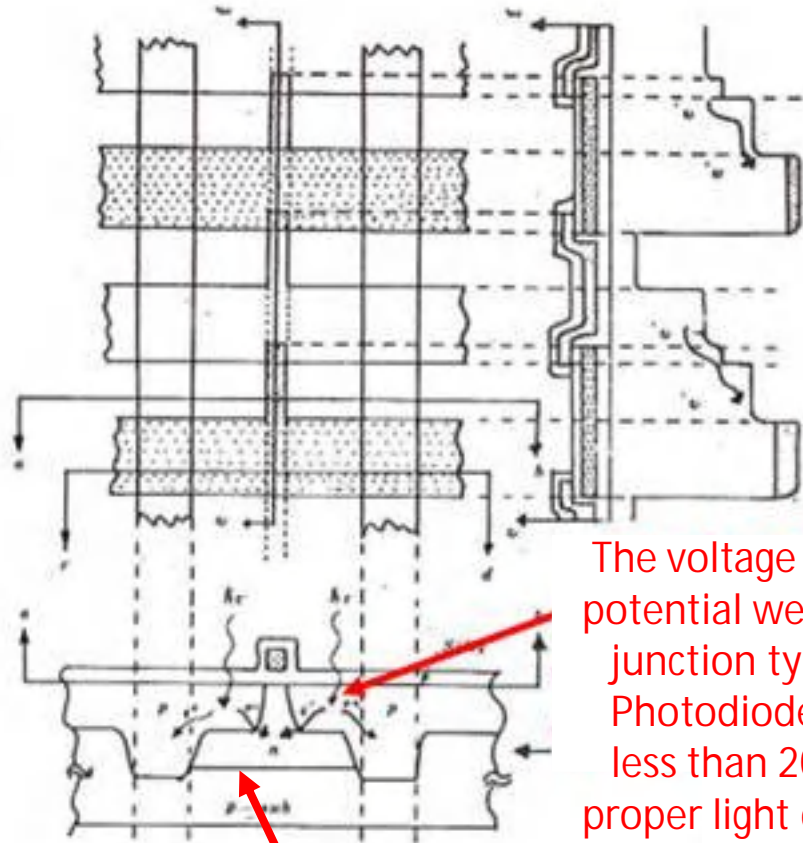
The structure causes the serous dark current. This is NOT a Pinned Photodiode patent. This is just a buried Photodiode patent of complete depletion with no image lag.

NEC 1980 Japanese Patent is NOT Pinned Photodiode Patent !

The first publication of a PNP junction type Pinned Photodiode in 1978 at Tokyo Conference

Proceeding of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese Journal of Applied Physics, Volume 18(1979) Supplement 18-1, pp.335-340 "A 388H x 488V CCD Imager with Narrow Channel Transfer Gate" reported by Yoshiaki Daimon-Hagiwara, Motoaki Abe and Chikao Okada

See JP 1975-134985



The voltage of the empty potential well of this PNP junction type Pinned Photodiode can be set less than 20 volts by a proper light doping level

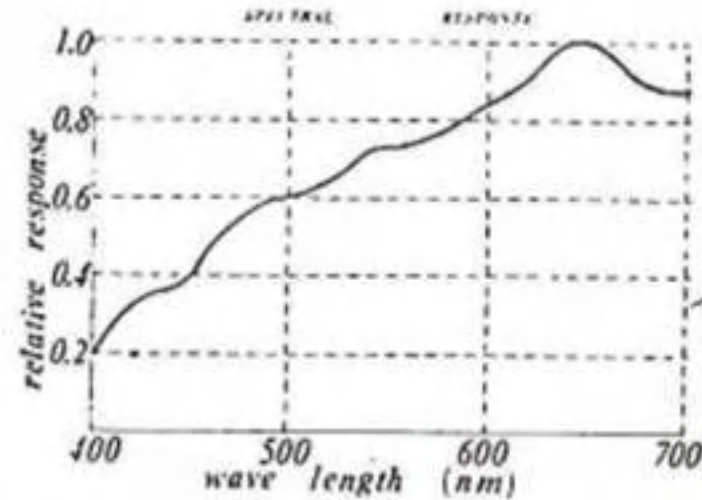
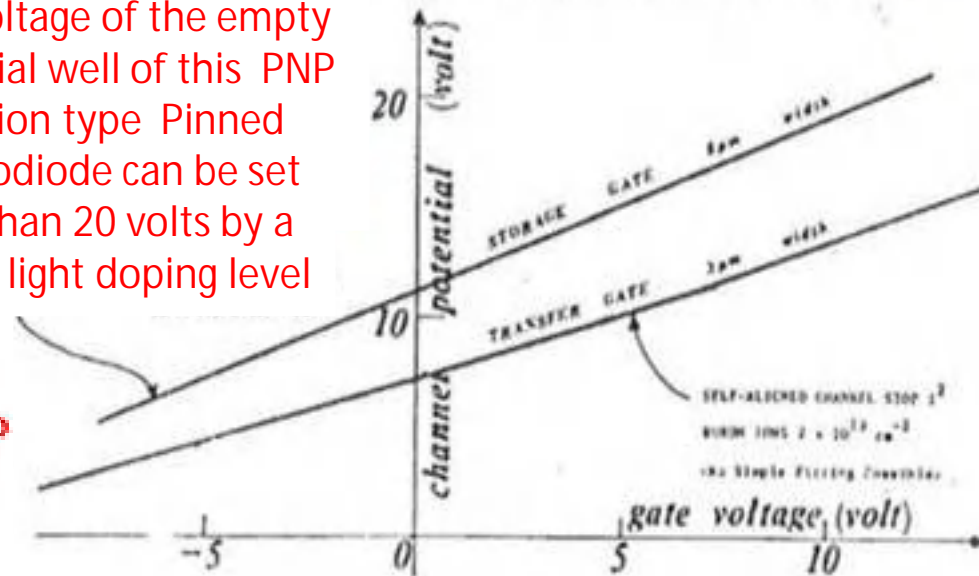


Fig. 18. Spectral Response of the photosensors.

The first publication of a PNP junction type Pinned Photodiode in 1978 at Tokyo, Japan by Hagiwara at Sony



Pinned Photodiode Family Tree

Hagiwara is the inventor of the KODAK Pinned Photodiode, the NEC Buried Photodiode and the SONY HAD sensor.

Grand Father

Hagiwara Patent 1975-127647
on the $N+N_{sub}P+N$ junction
Pinned/Buried Photodiode
with Global Shutter Scheme
and Back Light Illumination

Grand Mather

Hagiwara Patent 1975-134985
on the $P+NPN_{sub}$ junction
Pinned Photodiode
with Vertical OFD (VOD)

MOTHER

Hagiwara CSSD 1978 Paper
of the $P+NP_{sub}$ junction
Pinned Photodiode
on the 380H x 490V FT CCD Imager

First Child

NEC IEDM1982 Paper
of the PNP_{sub} junction
Buried Photodiode
on the ILT CCD Imager

Second Child

KODAK IEDM1984 Paper
of the $P+NP_{sub}$ junction
Pinned Photodiode
on the MOS Imager

Third Child

SONY 1987 HAD Sensor
of the $P+NP_{well}N_{sub}$ junction
Pinned Photodiode
with Vertical OFD (VOD)

Type	Classical N+Psub Photodiode	Surface Channel CCD Photodiode	Buried Channel CCD Photodiode	Toshiba 1978 NPNsub Photodiode	NEC 1980 PNP Buried Photodiode	SONY HAD Hagiwara 1975 P+NPNsub Pinned Photodiode
Blue Light Sensitivity	○	×	×	○	○	○
Image Lag	×	○	○	×	○	○
Surface Dark Current	×	×	×	×	×	○
Surface Trap Noise	×	×	○	×	×	○
Vertical OFD (VOD)	×	×	×	○	×	○
Global Shutter	×	○	○	×	×	○

Hagiwara at Sony filed two Japanese Patents in 1975. One (JAP 1975-127647) is the N+NP+N junction type Pinned Photodiode with the MOS type CTG as **the Global Shutter Buffer Memory**. And the other (JAP 1975-134985) is the P+NPNsub junction type Pinned Photodiode with **the built-in vertical overflow drain (VOD)** and the hole accumulation surface P+ layer with the pinned surface potential. The P+ layer quenched the positively charged surface fixed trap states Qss that would create the serious surface dark current.